

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-98460

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 29/786		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数35 O L (全 29 頁)

(21) 出願番号	特願平5-222627	(71) 出願人	000002325 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号
(22) 出願日	平成5年(1993)9月7日	(72) 発明者	高橋 邦博 東京都江東区亀戸6丁目31番1号 セイコ ー電子工業株式会社内
(31) 優先権主張番号	特願平4-283091	(72) 発明者	鷹巣 博昭 東京都江東区亀戸6丁目31番1号 セイコ ー電子工業株式会社内
(32) 優先日	平4(1992)10月21日	(72) 発明者	中島 邦雄 東京都江東区亀戸6丁目31番1号 セイコ ー電子工業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 林 敬之助
(31) 優先権主張番号	特願平5-33601		
(32) 優先日	平5(1993)2月23日		
(33) 優先権主張国	日本 (J P)		
(31) 優先権主張番号	特願平5-52477		
(32) 優先日	平5(1993)3月12日		
(33) 優先権主張国	日本 (J P)		

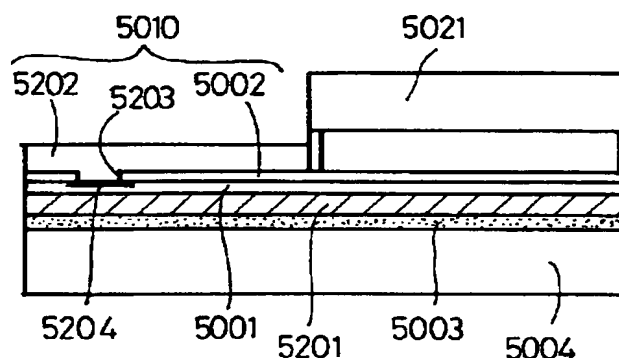
最終頁に続く

(54) 【発明の名称】 半導体装置及び光弁装置

(57) 【要約】

【目的】 長時間動作によっても、シリコン単結晶デバイス形成層上のMOS型トランジスタのしきい値上昇を抑制し、信頼性に優れたMOS型集積回路を形成することができる半導体基板、及び光弁用半導体基板を提供することを目的とする。

【構成】 絶縁性基板5004上に接着剤層5003を介してシリコン単結晶薄膜デバイス形成層5001を有し、前記シリコン単結晶薄膜デバイス形成層上に絶縁層5002を有し、前記シリコン単結晶薄膜デバイス形成層と前記接着剤層の間及び前記絶縁層上に熱伝導性に優れた材料より成る熱伝導層5201及び5202が配置されて成ることを特徴とする半導体基板及び光弁用半導体基板。



(2)

1

【特許請求の範囲】

【請求項1】 半導体層に集積回路が形成されている半導体装置において、該集積回路で発生する熱を放熱する放熱手段が形成された半導体装置。

【請求項2】 請求項1記載の半導体装置において、該放熱手段は、該集積回路の上に形成された熱伝導層であることを特徴とする半導体装置。

【請求項3】 請求項2記載の半導体装置において、該熱伝導層は窒化アルミニウムを含むことを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、該熱伝導層と該半導体層との間には、絶縁性パッシベーション膜が形成され、該熱伝導層は、窒化アルミニウム、酸化アルミニウム、金属、および、炭素から選ばれたいずれかを含むことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、該放熱手段は、該半導体層の下に形成された熱伝導層であることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、該熱伝導層は窒化アルミニウムを含むことを特徴とする半導体装置。

【請求項7】 請求項5記載の半導体装置において、該半導体層の下には絶縁膜、熱伝導層が順次積層形成され、該熱伝導層は、窒化アルミニウム、酸化アルミニウム、金属、および、炭素から選ばれたいずれかを含むことを特徴とする半導体装置。

【請求項8】 請求項5記載の半導体装置において、該半導体層の下にはシリコン酸化膜、熱伝導層が順次形成され、該熱伝導層の下にはさらに透明絶縁性基板、および、単結晶シリコン基板のいずれかの基板が配設されることを特徴とする半導体装置。

【請求項9】 請求項5記載の半導体装置において、該半導体層は単結晶シリコンから成り、該単結晶シリコンの下にはシリコン酸化膜、熱伝導層が順次積層形成され、該熱伝導層の膜厚は、該シリコン酸化膜の膜厚よりも厚いことを特徴とする半導体装置。

【請求項10】 請求項1記載の半導体装置において、該半導体層は、単結晶シリコン、多結晶シリコン、非晶質シリコンのいずれかから成ることを特徴とする半導体装置。

【請求項11】 請求項1記載の半導体装置において、該半導体層は、接着剤を介して絶縁性基板の上に接着され成る複合基板を構成し、該放熱手段は熱伝導層から成り、該熱伝導層は、該集積回路の上、および、該絶縁性基板と該半導体層との間のいずれか一方に配設されていることを特徴とする半導体装置。

【請求項12】 請求項11記載の半導体装置において、該熱伝導層は、窒化アルミニウム、酸化アルミニウム、金属、および、炭素のいずれか一つを含む薄膜層で

2

あることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置において、該複合基板は駆動回路領域と画素領域とを含み、該熱伝導層は該駆動回路領域の近傍に形成されることを特徴とする半導体装置。

【請求項14】 請求項11記載の半導体装置において、該集積回路は配線部を含み、該配線部と該熱伝導層は少なくとも一部で接触して形成されることを特徴とする半導体装置。

【請求項15】 請求項11記載の半導体装置において、該熱伝導層は、該集積回路に含まれるアース部と電気的に接続されていることを特徴とする半導体装置。

【請求項16】 請求項1記載の半導体装置において、該放熱手段は、半導体層の上、および、該半導体層の下のいずれか一方にイオンプレーティングにより形成された窒化アルミニウムを含む薄膜層であることを特徴とする半導体装置。

【請求項17】 請求項1記載の半導体装置において、該半導体層には絶縁膜が埋め込まれ、該放熱手段は、該絶縁膜が埋め込まれていない領域の半導体層であることを特徴とする半導体装置。

【請求項18】 請求項17記載の半導体装置において、該絶縁層の上の半導体層に形成された集積回路の動作頻度は、該絶縁層が埋め込まれていない領域の半導体層の上に形成された集積回路の動作頻度よりも少ないことを特徴とする半導体装置。

【請求項19】 請求項17記載の半導体装置において、該絶縁層の下の半導体層は、一部または全部が除去されていることを特徴とする半導体装置。

【請求項20】 請求項17記載の半導体装置において、該絶縁層の上の半導体層には画素スイッチングトランジスタが、絶縁層が埋め込まれていない半導体層には該スイッチングトランジスタを駆動するための駆動回路が形成されていることを特徴とする半導体装置。

【請求項21】 半導体層に集積回路が形成され、該集積回路は電界効果型金属絶縁膜半導体トランジスタを含み、かつ、駆動回路領域と画素領域とにそれぞれ分離されて形成され、該電界効果型金属絶縁膜半導体トランジスタは、該半導体層上にゲート絶縁膜を介して形成されるゲート電極、該半導体層に形成されるソース領域、ドレイン領域、および、ソースとドレイン領域間のチャネル形成領域を含む半導体装置において、該集積回路は該集積回路に起因する発熱を抑制する熱発生抑制手段を含むことを特徴とする半導体装置。

(3)

3

【請求項22】 請求項21記載の半導体装置において、
該画素領域の電界効果型金属絶縁膜トランジスタのゲート長は、該駆動回路領域の多数の電界効果型金属絶縁膜トランジスタの内、最小のゲート長よりも長くして、該画素領域の電界効果型金属絶縁膜トランジスタに起因する発熱を抑制したことを特徴とする半導体装置。

【請求項23】 請求項21記載の半導体装置において、
該画素領域の電界効果型金属絶縁膜トランジスタのソース領域およびドレイン領域の不純物濃度分布を、該チャネル近傍では薄く、該チャネルに遠い側では濃くすることにより、該画素領域の電界効果型金属絶縁膜トランジスタに起因する発熱を抑制したことを特徴とする半導体装置。

【請求項24】 請求項21記載の半導体装置において、
該画素領域の電界効果型金属絶縁膜トランジスタのゲートの幅は、該駆動回路領域の多数の電界効果型金属絶縁膜トランジスタの内、最小のゲート幅よりも同じか小さくして、該画素領域の電界効果型金属絶縁膜トランジスタに起因する発熱を抑制したことを特徴とする半導体装置。

【請求項25】 一方の基板上に、駆動回路領域と画素領域とが形成され、
該駆動回路領域は、半導体層に形成された集積回路を含み、
該画素領域は、走査電極、信号電極、および、該走査電極と該信号電極の交差部に配設される画素電極と半導体層に形成されたスイッチングトランジスタを含み、
他方に基板上には電極が形成され、
該一方と該他方の基板間に電気光学的材料が挟持された光弁装置において、
該一方の基板には該駆動回路領域において発生する熱を放熱するための放熱手段が配設されていることを特徴とする光弁装置。

【請求項26】 請求項25記載の光弁装置において、
該一方の基板は、半導体単結晶層が接着剤を介して支持基板接着された複合基板からなり、
該放熱手段は、該集積回路の上、および、該半導体単結晶層と該支持基板との間のいずれか一方に配設された熱伝導層であることを特徴とする光弁装置。

【請求項27】 請求項26記載の光弁装置において、
該熱伝導層は、窒化アルミニウム、酸化アルミニウム、金属、および、炭素のいずれか一つを含む薄膜層であることを特徴とする光弁装置。

【請求項28】 請求項26記載の光弁装置において、
該熱伝導層は、少なくとも該集積回路の近傍に形成されていることを特徴とする光弁装置。

【請求項29】 請求項25記載の光弁装置において、

4

該画素領域の半導体層には絶縁層が埋め込まれ、該駆動回路領域の半導体層が、駆動時に発生する熱を放熱するための放熱手段であることを特徴とする光弁装置。

【請求項30】 請求項25記載の光弁装置において、
該絶縁層の下、半導体層の一部、または、全部が除去され、

該半導体層の除去部に該他方の基板が配設され、該一方と該他方の基板間に該電気光学的材料が配設されていることを特徴とする光弁装置。

10 【請求項31】 請求項25記載の光弁装置において、
該半導体層は、単結晶シリコン、多結晶シリコン、非晶質シリコンのいずれかから成ることを特徴とする光弁装置。

【請求項32】 一方の基板上に、駆動回路領域と画素領域とが形成され、
該駆動回路領域は、半導体層に形成された電界効果型金属絶縁膜半導体トランジスタから成る集積回路を含み、
該画素領域は、走査電極、信号電極、および、該走査電極と該信号電極の交差部に配設された画素電極と、半導体層に形成された電界効果型金属絶縁膜半導体トランジスタから成るスイッチングトランジスタを含み、
他方に基板上に、電極が形成され、

20 該一方と該他方の基板間に電気光学的材料が挟持された光弁装置において、
該電界効果型金属絶縁膜半導体トランジスタは、該半導体層上にゲート絶縁膜を介して形成されるゲート電極、
該半導体層に形成されるソース領域、ドレイン領域、および、ソースとドレイン領域間のチャネル形成領域を含み、かつ、該電界効果型金属絶縁膜半導体トランジスタに起因する発熱を抑制する熱発生抑制手段を含むことを特徴とする光弁装置。

30 【請求項33】 請求項32記載の光弁装置において、
該スイッチングトランジスタのゲート長は、該駆動回路領域の多数の電界効果型金属絶縁膜トランジスタの内、最小のゲート長よりも長くして、該スイッチングトランジスタに起因する発熱を抑制したことを特徴とする光弁装置。

【請求項34】 請求項32記載の光弁装置において、
該スイッチングトランジスタのソース領域およびドレイン領域の不純物濃度分布を、該チャネル近傍では薄く、
該チャネルに遠い側では濃くすることにより、該スイッチングトランジスタに起因する発熱を抑制したことを特徴とする光弁装置。

【請求項35】 請求項32記載の光弁装置において、
該スイッチングトランジスタのゲートの幅は、該駆動回路領域の多数の電界効果型金属絶縁膜トランジスタの内、最小のゲート幅よりも同じか小さくして、該スイッチングトランジスタに起因する発熱を抑制したことを特徴とする光弁装置。

50 【発明の詳細な説明】

(4)

5

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に関するものである。又、本発明は、直視型表示装置や投影型表示装置等に用いられる平板型光弁の駆動用基板装置に関する。

【0002】より詳しくは、電気絶縁性物質上にある半導体シリコン単結晶膜上に画素電極群、スイッチ素子群、及び駆動回路素子群が形成された半導体集積回路基板装置に関する。この基板装置は例えば液晶パネルに一体的に組み込まれ、いわゆるアクティブマトリックス装

【0003】特に、本発明は半導体装置における熱の発生を極力抑えたり、あるいは熱が発生しても、その熱を半導体装置の外部へ逃がすことにより、半導体装置の温度上昇を生じさせない構造を有する半導体装置に関する。

【0004】

【従来の技術】従来、アクティブマトリックス装置は、電気絶縁性物質、例えば透明ガラス基板または透明石英基板上に、アモルファスシリコンあるいは多結晶シリコンを形成し、更にその上に画素電極群、スイッチ素子群、及び駆動回路素子群の一部または全てを形成することにより作られていた。しかし、電気絶縁性物質上にある半導体シリコン単結晶膜上に前記画素電極群、スイッチ素子群、及び駆動回路素子群の全てを形成する試みは成されていなかった。

【0005】電気絶縁膜上の半導体シリコンは、SOI (Silicon On Insulator) と呼ばれ、高速化、高集積化が可能な半導体装置として、近年注目を集めている。図2は、このSOIウェハの構造断面図を示している。21は厚さ500～1000ミクロンの単結晶シリコン基板、22は厚み数百オングストローム～数ミクロン程度の電気絶縁物であるシリコン酸化膜、23は厚み数百オングストローム～数ミクロン程度の単結晶シリコンである。

【0006】SOIウェハで作った半導体集積回路は、電気絶縁膜22上の単結晶シリコン層23が非常に薄いために、特に集積回路が相補型MISトランジスタ（相補型メタル・絶縁物トランジスタ。以下、相補型MIS Trと略す。）である場合、ソース・基板間、ドレイン・基板間、ゲート・基板間の電気容量が低減され、集積回路の高速化が可能になる利点と、従来の単結晶シリコンウェハ上に集積回路を形成した場合に比べ、電気絶縁物22が存在することにより、トランジスタとトランジスタ間の素子分離領域を非常に狭く作ることができ、高集積化が可能になる利点とを有している。

【0007】図3(a)～(d)に、単結晶シリコンと単結晶シリコンの張り合わせ法を用いた従来の絶縁膜上単結晶シリコンの作成方法を示す。図3(a)において、単結晶シリコン301を熱酸化し、シリコン酸化膜

6

SiO₂層302を形成する。

【0008】図3(b)、(c)において、図3(a)で用意したSiO₂付きシリコンと他の単結晶シリコン303を高温状態において張り合わせる。

【0009】図3(d)において、SiO₂を表面に形成したシリコン301を研磨又はエッチングにより厚さ数ミクロン以下に薄くする。図3(d)に示すように、従来のSOIの構造は厚い単結晶シリコン303と薄い単結晶シリコン301の間にSiO₂302一層が存在している場合が一般的であった。

【0010】SOIウェハにおいて、集積回路が形成される薄い単結晶シリコン301の直ぐ下に絶縁膜302が存在するため、集積回路が動作している時に流れる電流によって発生する熱が、絶縁膜302の下にある厚い半導電性の単結晶シリコン303に逃げてくれず、熱が薄い単結晶シリコン層301に溜まってしまい、その薄い単結晶シリコン層の温度を時間の経過と共に上げてしまう。

【0011】集積回路が相補型MIS Trにより形成されている場合、高集積化のためにトランジスタサイズを小さくすると、トランジスタ内に流れる電流は増大し、温度上昇の度合いも又大きくなる。

【0012】薄い単結晶シリコン層で温度上昇が生じると、MISトランジスタのゲート絶縁膜中にキャリアの捕獲準位が多数発生し易くなり、トランジスタ特性の変動を生じ、さらに集積回路の信頼性が損なわれることになる。図4は従来の半導体装置の他の実施例を示す構造断面図である。図4の構造断面図は、絶縁基板上的多結晶シリコン（以後、Poly-Siと略す。）に形成されたN型の金属・酸化膜・半導体電界効果型トランジスタ（以後、MOS Trと略す）を示している。

【0013】401はガラスあるいは石英等の透明基板、402と403はそれぞれ $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度のN型不純物から成るソース及びドレイン、404は不純物をほとんど含まない $1 \times 10^{16} \text{ cm}^{-3}$ 程度の薄い濃度の不純物を含むPウェル領域である。

【0014】ソース402、ドレイン403、Pウェル404はPoly-Si中に形成されている。405と406は、ソース402、ドレイン403、Pウェル404を含むPoly-Siを酸化して形成されたシリコン酸化膜SiO₂である。これら2つのシリコン酸化膜SiO₂の内405のSiO₂はNMOS Trのゲート絶縁膜になる。

【0015】407は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度のN型不純物が含まれているPoly-Siであり、MOS Trのゲートとなる。N型MOS Trはソース402、ドレイン403、Pウェル404、ゲート絶縁膜405、ゲート407から形成される。408はシリコン酸化膜を堆積して形成した中間絶縁膜であり、40

50

(5)

7

9はアルミから成るソース電極を、410は同じくアルミから成るドレイン電極を示している。ソース電極409がソース402と接触する箇所及びドレイン電極410がドレイン403と接触する箇所において、中間絶縁膜408は除去されている。411はシリコン窒化膜又はシリコン酸化膜から成るパッシベーション膜である。

【0016】図4に示す断面構造を持つ従来の半導体装置においても、やはりN型MOS Trの下側にある透明絶縁基板401は絶縁体であり、又N型MOS Trの上側にある408の中間絶縁膜も411のパッシベーション膜も共に絶縁膜であることから、Poly-Si中に形成されたN型MOS Trに電流が流れることによって発生する熱はPoly-Siの外へ逃げにくい構造になっている。

【0017】図面には示さないが、主に表示デバイスに使われている透明絶縁基板上に形成されたアモルファスシリコン（以後、a-Siと略す）のトランジスタ構造もやはりトランジスタの下側は絶縁基板であり、上側はパッシベーション等の絶縁膜であるため、トランジスタ内に電流が流れることにより発生する熱は、トランジスタの外側に逃れることなく、トランジスタ内にたまりやすい。

【0018】近年、単結晶シリコン上に形成されている集積回路では、その集積回路を構成するトランジスタ（以後、Trと略す。）サイズは年々小さくなっている。例えば集積回路が相補型金属・酸化膜・半導体トランジスタ（以後、CMOS Trと略す。）から成る場合、そのTrの長さ寸法は既に1 μ m以下が実現されており、更に最近では0.2~0.3 μ mの長さ寸法が実現されようとしている。

【0019】図5は従来の半導体装置の構造断面図を示している。図5は、単結晶シリコン内に形成されたN型MOS Trの構造断面図を示している。501は1 \times 10¹⁶cm⁻³程度の薄い濃度のP型不純物から成る単結晶シリコン層、502と503はそれぞれ1 \times 10²⁰cm⁻³程度の高濃度のN型不純物から成るソースとドレイン、504はゲート絶縁膜、505は1 \times 10²⁰cm⁻³程度の高濃度のN型不純物が含まれるPoly-Siから成るゲート、506はゲート505とアルミ配線507、508間のショートを防ぐためのシリコン酸化膜から成る中間絶縁膜、507はソース502に電気的に接続しているアルミ、508は同じくドレイン503に電気的に接続しているアルミ、509は例えばシリコン窒化膜から成るパッシベーション膜を示している。図5において、N型MOS Trは単結晶シリコン層501、ソース502、ドレイン503、ゲート絶縁膜504、及びゲート505から構成される。

【0020】ゲート505の長さLが0.5 μ m以下と短くなるにつれ、ソース502とドレイン503の間に流れる電流は増大し、その結果、単結晶シリコン層5

8

01の温度は上昇する。N型MOS Tr内で発生する熱は、ソース502及びドレイン503がそれぞれアルミ507と508に電気的に接続していることにより、アルミ層507と508にも伝わる。しかし、アルミ層の上のパッシベーション膜が従来シリコン窒化膜やシリコン酸化膜の熱伝導性に劣る絶縁膜であったため、アルミ層507と508に伝わった熱は、パッシベーション膜の外側の空气中に逃れることができず、Trが形成されている領域の温度は上昇してしまった。

【0021】この様にTrサイズが小さくなると、そのTrに流れる電流は増大する。このため、集積回路全体に流れる電流は従来のそれに比べ非常に大きくなっている。その結果、集積回路において発生する熱は上昇し、集積回路の温度が上昇する現象が生じている。集積回路が形成されている単結晶シリコン層で温度上昇が生じると、MOS Trのゲート絶縁膜中にキャリアの捕獲順位が多数発生しやすくなり、トランジスタ特性の変動を生じ、更に集積回路の信頼性が損なわれることになる。

【0022】更に従来、絶縁性支持基板上に接着材層を介してシリコン単結晶薄膜デバイス形成層を有し、前記シリコン単結晶薄膜デバイス形成層上に絶縁層を有した構造の半導体基板、及び光弁用半導体基板が知られていた。

【0023】

【発明が解決しようとする課題】絶縁基板上の単結晶シリコンに形成されたTrを長時間動作させる場合、即ち、長時間電流が流れる場合、電流が流れることにより発生する熱のために電流が流れる箇所の単結晶シリコンの温度が上昇する。電気絶縁物上にある薄い単結晶シリコン膜の温度が上昇した場合、半導電性の単結晶シリコンの厚みが薄いため、かつ薄い単結晶シリコンの周囲は電気絶縁物や空気で囲まれているため、発生した熱は逃げにくく、電流が流れ続けている限り、温度は上昇し続ける。

【0024】本文では、簡単のためにMIS Trの中でも最も一般的な金属・酸化膜・半導体トランジスタ（MOS Trと略す）を例にとって、これから説明していく。以下にMOS Trを例に挙げて説明することは、全てMIS Trにも当てはまる。

【0025】図6は、厚み数百~1000 μ mの石英601の上に厚み0.1~数 μ mの薄い単結晶シリコン層602がある基板上に形成されたMOS Trの断面図を示している。603、604はそれぞれMOS Trのソース、ドレイン、605はウェル領域、606はゲート酸化膜、607はPoly-Siから成るゲートである。608はMOS Trの電流通路であるチャネルである。図6では省略してあるが、ソース603、ドレイン604、ゲート607の上部は、シリコン酸化膜やシリコン窒化膜等の絶縁物で被われている。また、薄い単結晶シリコン層602の下はやはり電気絶縁物である

(6)

9

石英である。このため、電流通路であるチャネル608に電流が流れ、熱が発生すると、チャネル608は上部のシリコン酸化膜やシリコン窒化膜の電気絶縁膜や単結晶シリコン層602の下石英601の電気絶縁物質で囲まれているため、この熱は逃げにくく、チャネル608近傍の温度を上昇させる。

【0026】図7は、電気絶縁物上の単結晶シリコン層に形成されたMOS Trの断面図の他の一例を示している。701は厚さ数千Å～数μmのシリコン酸化膜、702は厚さ0.1～数μmの薄い単結晶シリコン層を示す。薄い単結晶シリコン層702の中に、ウェル703、ソース704、ドレイン705を形成し、ゲート酸化膜706、Poly-Siからなるゲート707を形成し、MOS Trが形成されている。

【0027】709はシリコン酸化膜から成る層間絶縁膜、710は金属アルミであり、ソース704とドレイン705に別々に接続されている。711はシリコン窒化膜から成るパッシベーション膜、712は厚み数μmの接着剤、713は厚み数百～1000μm程度のガラス基板である。

【0028】図7においても、MOS Trの電流通路となるチャネル708に電流が流れると、薄い単結晶シリコン層702は、下側を絶縁膜であるシリコン酸化膜701に、また、上側をシリコン酸化膜709やパッシベーション膜711、更には接着剤712とガラス基板713等の絶縁物に囲まれているため、電流が流れることによりチャネルで発生した熱は逃げにくく、チャネル部の温度は上昇する。

【0029】ところで、画素電極に選択給電するための画素スイッチングトランジスタ群（以下画素Sw-Tr群と略す）とこの画素Sw-Tr群を駆動するための駆動回路が形成されている光弁基板用半導体装置では、画素Sw-TrがMOS Trにより形成されている場合、ある画素Sw-Trを選択動作させる時には、そのSw-Trのゲート電極とドレイン電極に15V程度の高電圧を加える。

【0030】この時、単結晶シリコン上に形成されたMOS TrはP型MOS Trであろうと、N型MOS Trであろうと、非常に大きい電流が流れる。このため、電気絶縁物上の薄い単結晶シリコン上に形成されたSw-Trのチャネル部は高温になる。

【0031】図8は、電気絶縁物801上の薄い単結晶シリコン層802に形成されたN型MOS Trの構造断面図を示す。801は厚み0.1～数μmのシリコン酸化膜、802は厚み0.1～2μm程度の薄い単結晶シリコン層、803はPウェル、804と805はそれぞれソース、ドレインを示している。806はシリコン酸化膜から成るゲート絶縁膜、807はPoly-Siから成るゲートを示している。808はMOS Trの電流通路となるチャネルである。

10

【0032】図8において、ソース804は接地され、ドレイン805とゲート807には15Vの高電圧が加えられている。この時、ゲート807とドレイン805は同電位であるため、ゲート絶縁膜806を挟んでゲート・ドレイン間には電界は生じない。一方、ゲート807とソース804の間、即ち、ソース近傍のゲート絶縁膜には高電界が加わる。高温と高電界という2つの事象から新たな問題が生じる。即ち、ソース804の近傍にチャネル808を流れるキャリアを捕獲するトラップ準位が大量に発生する。流れているキャリアがこれらトラップに大量に捕らえられることにより、電流が流れている時間がたつにつれ、このN型のMOSTrのスレッシュホールド電圧（ソース・ドレイン間に電流が流れ始める時のゲート電圧、以下 V_t と略す）が徐々に増大していくという問題が生じる。N型MOS Trの場合には流れているキャリアは電子であり、トラップに捕らえられるキャリアも電子である。P型MOS Trの場合にも同じく、流れているキャリアはホールであり、トラップに捕らえられるキャリアもホールである。故にP型MOS Trの場合の V_t 変動は、 V_t の絶対値が高くなる方向へ変動する。流れているキャリアがゲート絶縁膜のトラップに捕らえられると、チャネルを形成するための、即ち、ゲート絶縁膜806の直下のウェル層を反転するために、より絶対値の高いゲート電圧が必要とされるからである。

【0033】ところで、電気絶縁物上のPoly-SiにMOS Trを形成し、かつそのゲートとドレインに15V程度の高電圧を加えても、その電流値は単結晶シリコンに形成されたMOS Trの電流値に比べ、はるかに少なく電流の流れている箇所の温度も大して上がらない。故に、前記した V_t 変動が起こる現象は、電気絶縁物上の薄い単結晶シリコン層にMOS Trが形成され、ゲートとドレインに高電圧が加わる時に生じる固有のものである。

【0034】また、光弁基板用半導体装置では、画素部のSw-Tr群に加える電圧は、液晶を駆動するために高電圧が必要であり、10V以上、例えば15Vにもなる。他方、駆動回路部の大半のトランジスタに加わる電圧は5V以下の比較的低い電圧である。この場合、駆動回路を構成する大半のトランジスタのゲート・ソース間に加わる電界は、画素部のSw-Trのゲート・ソース間に加わる電界の約1/3となり非常に小さいと言える。

【0035】ゲート絶縁膜中に生成されるキャリアのトラップ準位の量は、前述したようにチャネル部の高温とゲート・ソース間の電界の大きさに関係する。2つの因子の1つだけでは、例えばチャネル部の高温だけでは、トラップ準位は大して生成しない。チャネル部が高温で、かつゲート・ソース間の電界が大きい程、ゲート絶縁膜中に生成するトラップ密度は大きくなる。

(7)

11

【0036】故に、ゲート・ソース間の電界が低い駆動回路部の大半のトランジスタではゲート絶縁膜中のトラップ準位はそれ程多くなく、そのトランジスタの V_t 変動も大きくない。電気絶縁物質上の単結晶シリコン上に、画素電極に選択給電するための画素 $Sw-Tr$ 群と、前記画素 $Sw-Tr$ 群を駆動するための駆動回路が形成されている光弁基板用半導体装置において、ゲート・ドレイン間に高電界が加わり、チャンネル中に高電流が流れ、チャンネル部の温度が上昇し、かつゲート・ソース間に高電界が加わり、ゲート酸化膜中にキャリアのトラップ準位が発生することにより V_t 変動が生じる主なトランジスタは、駆動回路を構成するトランジスタの一部と、画素部の $Sw-Tr$ の全てである。

【0037】本発明は上記した電気絶縁物上の薄い単結晶シリコン層に、画素電極に選択給電するための画素 $Sw-Tr$ 群と、前記画素 $Sw-Tr$ 群を駆動するための駆動回路が形成されている光弁基板用半導体装置において、ゲートとドレインに高い電圧が加わる画素 $Sw-Tr$ の V_t 変動を極力小さく抑えることを目的としたものである。

【0038】また、画素 $Sw-Tr$ には光が直接当たらないように、遮光膜等を設けることを試みるが、一部の光は遮光膜を回りこみ、画素 $Sw-Tr$ を照射してしまう場合が多い。光が当たることにより発生するキャリアがリーク電流の原因になる。本発明は、前記した画素 $Sw-Tr$ の V_t 変動を抑えることと同時に、この光リーク電流を小さくすることも目的としている。

【0039】本発明は、従来の技術の項で記述したような微細化された Tr から成る集積回路が形成されている単結晶シリコン内や SOI ウェハ内や絶縁基板上に形成された $Poly-Si$ 中や $a-Si$ 中に形成されたトランジスタ内に生じる温度上昇の欠点を抑え、信頼性の高い集積回路や表示デバイス等の半導体装置を提供することを目的としたものである。

【0040】更に、図9に示したような従来の構造の半導体基板、及び光弁用半導体基板においてもやはり、シリコン単結晶薄膜デバイス形成層にMOS型トランジスタを形成した場合、MOS型トランジスタの動作により、MOS型トランジスタのしきい値が上昇してしまうという問題点があることが判った。

【0041】図9において、901はシリコン単結晶薄膜デバイス形成層、902は絶縁層、903は接着剤層、904は絶縁性支持基板を示す。この問題について、図9に示す構造の半導体基板、及び光弁用半導体基板においては、シリコン単結晶薄膜デバイス形成層901の一表面は、接着剤層903を介して熱伝導性の悪い厚い絶縁性支持基板904に接し、また一方の表面は絶縁層902を介して、やはり熱伝導性の悪い空気に接しているため、MOS型トランジスタの動作により発生した熱がシリコン単結晶薄膜デバイス形成層内に蓄積し、

12

熱とMOS型トランジスタのドレイン領域に印加された電圧によって、MOS型トランジスタのゲート絶縁膜に多数キャリアが深くトラップされてしまい、その結果、MOS型トランジスタのしきい値上昇を引き起こす。

【0042】上記問題点の解決策としては、MOS型トランジスタの動作により発生した熱をシリコン単結晶薄膜デバイス形成層内に蓄積させずに、速やかに逃がしてやるのが有効である。本発明は、上記課題を解消して、長時間の動作によっても、MOS型トランジスタのしきい値上昇を抑制し、信頼性に優れたMOS型集積回路を形成することができる半導体基板、及び光弁用半導体基板を提供することを目的とする。

【0043】以上に述べた本発明が解決しようとする課題をまとめると、以下の様になる。

(1) 電気絶縁物上の薄い単結晶シリコン層に画素電極に選択給電するための画素 $Sw-Tr$ 群と前記画素 $Sw-Tr$ 群を駆動するための駆動回路が形成されている光弁基板用半導体装置において、画素 $Sw-Tr$ の V_t 変動を極力小さく抑える。

(2) 前記 $Sw-Tr$ の光リークを小さく抑える。

(3) 電気絶縁物上の単結晶シリコン、 $Poly-Si$ 、 $a-Si$ 中に形成された Tr が動作することによって発生する熱による単結晶シリコン、 $Poly-Si$ 、 $a-Si$ 中の温度上昇を抑える。

(4) 単結晶シリコン中に形成された微細化された Tr が動作することによって発生する熱による単結晶シリコン中の温度上昇を抑える。

(5) 絶縁性支持基板上に接着剤層を介して単結晶シリコン薄膜デバイス形成層上に絶縁層を有する半導体基板又は光弁用半導体基板において、単結晶シリコン薄膜デバイス層内で発生する熱を逃がす。

【0046】

【課題を解決するための手段】前記した5つの課題それぞれに対し、本発明は以下の手段を講ずる。

課題(1)に対する解決手段

① MOS Tr から成る画素 $Sw-Tr$ のゲートの長さは、駆動回路を形成する多数のMOS Tr の内、最小のゲートの長さより長い。

② 画素 $Sw-Tr$ は、ソース及びドレインの不純物濃度分布がチャンネルに近い側で薄く、チャンネルに遠い側で濃い二重構造(LDD構造: Lightly Doped Drain)になっている。

課題(2)に対する解決手段

画素 $Sw-Tr$ のゲートの幅は、駆動回路を形成している多数のMOSTrの内の最小のゲートの幅より同じか小さくなっている。

【0048】課題(3)に対する解決手段

① 単結晶シリコン内に集積回路を形成する場合、集積回路のうち、一部の回路を熱を逃がし易い領域、即ち電

(8)

13

気絶縁膜を埋め込んでいない単結晶シリコン領域に形成し、他の消費電力の小さい、あるいは動作頻度の低い、更には高速を必要とする回路を電気絶縁膜の上にある薄い単結晶シリコン層内に形成する。

【0049】② 絶縁物上の半導体膜（単結晶シリコン、Poly-Si, a-Si）において、薄い半導体膜に溜まる熱を逃がす目的で、絶縁膜を熱伝導性の優れた窒化アルミニウム（AlN）層一層又は窒化アルミニウム層と他の絶縁膜の複数層から形成する。さらに、薄い半導体膜の一部の箇所において、薄い半導体膜と窒化アルミニウム層を接触させる。あるいは、薄い半導体膜層に形成された集積回路の中の金属配線又はPoly-Siからなる配線と窒化アルミニウム層を局部的に接触させる。

【0050】更に、パッシベーション膜を熱伝導性の高い絶縁膜例えば窒化アルミニウムにより形成する。

課題（4）に対する解決手段

パッシベーション膜を熱伝導性の高い絶縁膜例えば窒化アルミニウムにより形成する。

【0051】課題（5）に対する解決手段

シリコン単結晶薄膜デバイス形成層に接する絶縁層に密着して、熱伝導性に優れた材料より成る層を形成する。あるいはシリコン単結晶薄膜デバイス形成層に接する接着剤層に密着して、熱伝導性に優れた材料より成る層を形成することにより放熱機能を付加したことを特徴とする。

【0052】

【作用】前記した5つの課題それぞれに対し採用した解決手段により、以下の作用が生じる。

課題（1）及び（2）に対する解決手段による作用

電気絶縁物上の薄い単結晶シリコン層に形成されたMOS-Trにおいて、ゲート及びドレインに高電圧を長時間加えていると、 V_t が変動するが、この V_t 変動の大きさはMOS-Tr中を流れる電流値が大きい程、即ちソース・ドレイン間の電界が大きい程大きい。

【0053】ゲート及びドレインに高電圧の加わる画素Sw-Trのゲート長を長くしたり、ソース及びドレインの構造をLDD構造にすることにより、ソース・ドレイン間の電界を低く抑え、それ故にソース・ドレイン間に流れる電流値を小さく抑えることができる。その結果、高電圧の加わる画素Sw-Trの V_t 変動を小さく抑えることができる。また、画素Sw-Trのゲート幅を小さくして、Sw-Trの面積を極力小さくすることにより、熱の発生する面積を小さくできるばかりでなく、光の照射により生じるリーク電流を低く抑えることができる。

【0054】課題（3）に対する解決手段①による作用
前述したような構成を持つ本発明の半導体集積回路は、動作頻度が高く、消費電力の高い回路を電気絶縁膜のない領域の単結晶シリコン上に形成することによって、そ

14

の回路で発生する熱を逃がし易くし、又、動作頻度が少なく、消費電力の少ない、しかも高速を必要とする回路を電気絶縁膜上の薄い単結晶シリコン上に形成することによって、信頼性の高い性能の安定した、かつ高速の集積回路を得ることができる。

【0055】課題（3）に対する解決手段②による作用
前記した構造を持つ本発明の半導体装置では、絶縁膜上の半導体膜層に形成された集積回路で発生した熱は、絶縁膜の一部あるいは全部を形成している熱伝導性の優れた窒化アルミニウムに伝わり、絶縁膜上の半導体膜層の温度が上昇するのを防ぐ。

【0056】更に半導体膜の上部に形成されたパッシベーション膜が熱伝導性に優れているため、半導体膜の上部からも熱が逃げ易い構造になっており、絶縁膜上の半導体膜の温度が上昇するのを防ぐ。

課題（4）に対する解決手段による作用

同様に単結晶シリコン基板に形成された集積回路の上部に形成されたパッシベーション膜が熱伝導性に優れているため、単結晶シリコン基板からだけでなく、集積回路の上部からも熱が逃げ易い構造になっており、集積回路で発生する熱を外部へ容易に逃がすことのできる構造となっている。

【0057】課題（5）に対する解決手段による作用
本発明の半導体基板、及び光弁用半導体基板を用いることにより、シリコン単結晶薄膜デバイス形成層に形成されたMOS型集積回路から発生した熱を速やかに逃がすことができるため、長時間の動作によっても、MOS型トランジスタのしきい値上昇を抑制し、信頼性に優れたMOS型集積回路を形成することができる。

【0058】

【実施例】以下、図面を参照し本発明の詳細を説明する。まず課題（1）及び（2）に対する本発明の実施例を最初に説明する。図10は、電気絶縁物上の通常のMOS-Trの断面構造を示している。1001は、シリコン酸化膜または石英等の電気絶縁物、1002は厚み0.1~2 μ m程度の薄い単結晶シリコン膜、1003は低い濃度のP型不純物から成るPウェル、1004と1005はPウェルと反対導電型である高い濃度のN型不純物から成るソース及びドレイン、1006はゲート酸化膜、1007はPoly-Si膜から成るゲートを表わしている。

【0059】図8に示すような電圧を図10に示すTrに長時間加えると、そのTrの V_t は、時間が経るに従い図11に示すように変化する。図12は、電気絶縁物上のLDD構造のMOS-Trの断面構造を示す。図12においては、図10と対応する各部名称は簡単のため省略する。1201と1202は約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高い濃度のN型不純物から成るソースとドレイン、1203と1204は約 $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度の比較的薄い濃度のN型不純物から成るソースとドレインを

(9)

15

示している。1205はLDD構造を作るために形成されるシリコン酸化膜から成るサイドスペーサである。このサイドスペーサ1205の形成前に、比較的濃度の薄いソース及びドレイン1203と1204がイオン注入により形成され、このサイドスペーサ1205の形成後に、高い濃度のソース及びドレイン1201と1202がイオン注入により形成される。また1206はゲートを示す。

【0060】ところで、図10と図12にゲート1007と1206の長さはLで示されている。このゲートの長さLが長い程、ソースとドレイン間に加える電圧が同じでも電界は小さくなり、電流は小さくなる。また、図10の通常のMOS Trの構造と、図に示すLDD構造のMOS Trでは、ゲートの長さLが同じであっても、高い濃度のソースとドレイン間に同じ電圧を加えた場合、LDD構造における比較的薄い濃度のソース1203とドレイン1204が抵抗として働き、LDD構造のMOS Trの方が通常のMOS Trに比べ、流れる電流値は低くなる。

【0061】電気絶縁膜上の薄い単結晶シリコン中に形成されたMOS Trに、図8に示すような電圧を長時間加えた時、図11に示すようなVt変動をする。この時、時間t1におけるVT変動の値を ΔV_t とする。図10に示す通常の構造のMOS Trと図12に示すLDD構造のMOS Trにおいて、ゲートの長さLを種々変えた時の ΔV_t の値を図13に示す。1301はLDD構造のMOS Trの、1302は通常のMOS Trの ΔV_t の値を示している。

【0062】図13から明らかなように、 ΔV_t はLが短くなるに従い大きく、また通常のMOS Trに比べ、LDD構造のMOS Trの方がはるかに小さいことが分かる。この特性は、N型のMOS TrでもP型のMOS Trでもどちらの場合にも当てはまるものである。

【0063】図14は、アクティブマトリックス型装置である光弁基板用半導体装置の構成を示す斜視図である。1401は電気絶縁性基板であるシリコン酸化膜、1402は電気絶縁性基板1401の上にある薄い半導体単結晶シリコン膜である。1403は各画素を駆動するための駆動電極であり、この駆動電極1403の下には不透明な単結晶シリコンは残っていない。1404は各画素の駆動電極に選択給電を行うための画素Sw-Trである。この画素Sw-TrはMOS Trから成っている。1405は各画素Sw-Tr 1404のドレイン電極につながる信号線を示す。1406は各画素Sw-Tr 1404のゲート電極につながる走査線を示す。1407は各信号線1405に信号を与えるXドライバー、1408は各走査線1406に信号を与えるYドライバーを示している。各画素の駆動電極1403、画素Sw-Tr 1404、信号線1405、走査線140

16

6、Xドライバー1407、Yドライバー1408は半導体単結晶シリコン膜1402の中や絶縁膜を介して半導体単結晶シリコン膜1402の上に形成される。また、Xドライバー1407とYドライバー1408は少なくともN型MOS TrとP型MOS Trから成る相補型MOS Tr (CMOS) 回路から成っている。

【0064】本発明は、電気絶縁膜上の薄い単結晶シリコンに形成された画素Sw-Trにおいて、ゲート電極とドレイン電極に15V程度の高電圧が加えられるために生じる画素Sw-TrのVt変動をできるだけ小さく抑えるために、MOS Trである画素Sw-Trのゲートの長さを、画素Sw-Trを駆動するための図14に示すXドライバー1407とYドライバー1408から成る駆動回路を形成する多数のMOS Trの内、最小のゲート長さより長くすることを特徴とする。例えば、駆動回路を形成する多数のMOS Trの内最小のゲートの長さが2 μ mである場合、画素Sw-Trのゲート長は4乃至5 μ mとする。また、更に電気絶縁膜上の薄い単結晶シリコン上に形成された画素Sw-TrをLDD構造のMOS Trにすることにより、ゲート及びドレインに15Vの高電圧が加わっても、画素Sw-TrのVt変動は更に小さくなる。

【0065】以上の説明において、画素Sw-TrはN型MOS Trを例に挙げて説明してきたが、P型MOS Trでも全く差し支えない。電気絶縁物上の薄い単結晶シリコン上に形成されたP型MOS Trに対しても、図11や図13に示す特性はそのまま当てはまる。

【0066】図15は、画素Sw-Trの断面図を示す。1501は電気絶縁物であるシリコン酸化膜または石英板、1502は電気絶縁物1501上に島状に形成された厚み0.1~2 μ mの半導体単結晶シリコン、1503と1504はそれぞれP型MOS Trのソースとドレイン、1505はPoly-Si膜から成るゲート、1506はシリコン酸化膜から成るゲート酸化膜を示している。破線で示す1507は、ドレイン1507とゲート1505に負の電圧を加えた時に生じる空乏層の境界を表わしている。空乏層は破線1507の上側及び右側に生ずる。1508は入射光を、1509と1510は入射光1508によって空乏層内に生じた電子とホールを表している。光によって発生したホール1510は空乏層内の電界によりドレイン電極へ達し、ドレイン電流となる。一方、電子は基板電極が近くにあれば、そこに達するが、ない場合には空乏層の境界、1507付近に蓄積し、ソース・基板間の電位障壁を低め、ソース電極からホールを引き出す役割も果たしてしまう。このように光により空乏層内に発生した電子・ホール対はリーク電流を増大させ、トランジスタ特性、特にON/OFF比を低める役目をしてしまう。

【0067】図14に、アクティブマトリックス型装置である光弁基板用半導体装置の構成を示した。図14に

(10)

17

おいては省略されているが、アクティブマトリックス型光弁基板用装置においては、画素Sw-Tr群1404と画素駆動電極群1403から成る画素部のシリコン酸化膜1401を介した下側に液晶層を設け、その液晶層側からあるいは画素Sw-Tr群や画素駆動電極群が形成されている画素部側から、シリコン酸化膜1401と半導体単結晶シリコン膜1402の面に垂直に光を当て、各画素Sw-TrのON/OFFにより光を透過あるいは遮断して画像を作る。

【0068】この時、各画素Sw-Trの上部または下部に光を通さないための遮光膜を設けて、極力、光を画素Sw-Trには当てないようにする。しかし、実際には遮光膜のない箇所から回り込んだ光が画素Sw-Trに当たってしまう。図15の説明で明らかなように、光によるリーク電流は単結晶シリコンに光が照射することにより発生する電子・ホール対により生じる。故に、画素Sw-Trにおける光によるリーク電流を小さくするには、画素Sw-Tr部の単結晶シリコンの体積を小さくすればよい。

【0069】図16は、図15に示す画素Sw-Trの平面図を示している。1611はPoly-Siから成るゲート、1612と1613はそれぞれ高い濃度のP型不純物からなるソースとドレイン、1614は単結晶シリコンアイランド、1615は薄い単結晶シリコン層の下にあるシリコン酸化膜または石英板等の電気絶縁物を示している。ゲート1611の長さはL、ゲートの幅はWによって表わしている。

【0070】この画素Sw-Trの光によるリーク電流を少なくするためには、ソース1612とドレイン1613に挟まれたゲート1611の下に単結晶シリコンの面積、即ちLとWの積を小さくすれば良い。ゲートとドレインに高電圧が加わることにより電気絶縁膜上の単結晶シリコン中に形成されたMOS-TrのV_tが変動するため、前述したように画素Sw-Trのゲート長Lはある程度長くしなければならなかった。故に、本発明ではゲート下の単結晶シリコンの面積を小さくするため、画素Sw-Trのゲート幅を極力小さくすることを特徴とする。即ち、画素Sw-Trのゲート幅は駆動回路中にある多数のMOS-Trの内、最小のゲート幅に比べ、それと同じか更に小さいことを特徴とする。

【0071】ゲート幅が小さければ、Trサイズも小さくなるため、高電圧がかかり、高い電流が流れても、熱の発生領域が狭くなり、熱の発生量も小さくなる。

【0072】図17は、本発明の光弁基板用半導体装置の画素Sw-Tr（図17（A））と駆動回路部のMOS-Tr（図17（B））の平面図を示す。同図において、1701と1707はPoly-Siから成るゲート、1702と1708は高濃度のP型不純物層から成るソース、1703と1709は同じく高濃度のP型不純物層から成るドレイン、1704と1705は比較的

18

低い濃度のP型不純物層から成るソースとドレイン、1706と1710は単結晶シリコン層の下にあるシリコン酸化膜または石英基板等の電気絶縁物を示している。

【0073】図17（A）に示す画素Sw-Trは、同図から明らかなように、LDD構造のP型MOS-Trであり、図17（B）に示すMOS-Trは駆動回路中に存在する多数のMOS-Trの内、最小のゲート長とゲート幅を持つTrである。

【0074】図17において、画素Sw-Trのゲート長とゲート幅はそれぞれL₁とW₁、駆動回路中のMOS-Trのゲート長とゲート幅はそれぞれL₂とW₂である。L₁はL₂より長く、W₁はW₂より短いことを特徴とする。例えば、最小設計ルールを2μmとした時、一例として、L₂を2μm、W₂を10μm、L₁を4μm、W₁を2.5μmとする。このように画素Sw-Trのゲート長とゲート幅を設定し、しかも画素Sw-TrをLDD構造にすることにより、高電圧がゲートとドレインに加わる画素Sw-Trでも、時間がたつにつれ、そのV_tは殆ど変化せず、しかも光が当たっても光により発生するリーク電流を非常に少なく抑えることが可能となる。

【0075】図1は、本発明にかかる半導体装置を駆動基板として利用した光弁装置の一実施例を示しており、特にアクティブマトリックス型液晶光弁装置を示している。この光弁装置は、本発明にかかる半導体装置からなる駆動基板101と透明なガラス等からなる対向基板102をスペーサ103を介して互いに積層接着した構造を有し、両基板の間には電気光学物質である液晶104が充填封入されている。駆動基板101は、電気絶縁物105の上に設けられたシリコン単結晶層106等に形成された集積回路を、接着剤層107により保持部材108に転写した構造を有している。集積回路を保護するパッシベーション膜109の最上層にはシリコンオキシナイトライド膜あるいはシリコン窒化膜110が配置しており、接着剤層107に含まれる水分や水素から集積回路を有効に保護しており、電気特性の劣化を防止できる。駆動基板101は周辺ドライバー回路部150と、画素部151に分けられる。画素部にはマトリックス状に配列された画素電極111とこれを駆動する画素Sw-Tr112が集積的に形成されている。周辺ドライバー回路部は遮光膜113により裏面側から被覆されている。また画素Sw-Tr112も裏面側から遮光膜113により被覆されている。

【0076】駆動基板101の画素部裏面側には配向膜114が形成されている。また、対向基板102の内表面には共通電極115及び配向膜116が設けられている。画素Sw-Tr112は、図1に示すようにLDD構造のP型MOS-Trであるが、LDD構造のN型MOS-Trであっても良い。図1には、駆動回路部にN型MOS-Tr117が描かれている。駆動回路部には

(11)

19

多数のN型及びP型のMOS Trがあるが、図1に示したN型MOS Tr 117は、それら多数のMOS Trの中で最もゲートの長さが短いTrある。駆動回路部のN型MOS Trのゲート長さはL2であり、画素部のP型MOS Trのゲート長さはL1である。L1はL2より長くなっている。このようにすると、高電圧が加わる画素Sw-TrのVt変動を殆ど起こらなくさせることができる。

【0077】また、図1に示してはいないが、駆動回路部にある多数のMOS Trの内、最小のゲート幅W2をもつMOS Trよりも、画素Sw-Tr 112のゲート幅W1の方が小さくなっている。このようにすると、光が照射しても画素Sw-Trの光により生じるリーク電流は非常に小さくなる。

【0078】次に課題(3)に対する本発明の実施例を以下に説明する。図18に、本発明の実施例を示す。1801は単結晶シリコン基板、1802は単結晶シリコン基板1801内に埋め込まれた電気絶縁物であるシリコン酸化膜、1803は前記シリコン酸化膜1802の上の薄い単結晶シリコン層をそれぞれ示している。

【0079】シリコン酸化膜1802は、例えば数百オングストローム～数ミクロンの厚みを持ち、同様に薄い単結晶シリコン層1803は、数百オングストローム～数ミクロンの厚みを持っている。図19に、本発明の他の実施例を示す。1901は単結晶シリコン基板、1902は単結晶シリコン基板1901内に埋め込まれた厚み数百オングストローム～数ミクロンの電気絶縁物であるシリコン酸化膜、1903はシリコン酸化膜1902上の厚み数百オングストローム～数ミクロンの薄い単結晶シリコン層である。

【0080】1904は、単結晶シリコン基板1901の左側、かつ電気絶縁膜が埋め込まれていない領域に形成された回路1、1906は同じく単結晶シリコン基板の右側、かつ電気絶縁膜が埋め込まれていない領域に形成された回路3、1905は電気絶縁膜1902の上にある薄い単結晶シリコン層に形成された回路2をそれぞれ示している。各回路1904、1905、1906はそれぞれ電氣的に接続され、ある働きを持つ一つの集積回路を形成している。1904の回路1と1906の回路3は動作頻度が高く、それ故、消費電力が高い。しかし、1904の回路1と1906の回路3の下には電気絶縁膜はなく、発生した熱は1904の回路1と1906の回路3の下にある厚み数百オングストローム以上の厚い半導電性の単結晶シリコン基板1901に逃げる。このため、温度が高くなることによってMISトランジスタのゲート絶縁膜にキャリアの捕獲準位が発生することもなく、1904の回路1と1906の回路3を構成するトランジスタ群の信頼性は高く、安定な回路となる。

【0081】一方、薄い単結晶シリコン層1903の上に形成された1905の回路2は動作頻度が低く、消費

20

電力も高くなく、熱の発生が殆どない。このため、薄い単結晶シリコン層1903の下に電気絶縁膜1902があっても薄い単結晶シリコン層1903に熱がたまることもない。又、1905の回路2が高速性を必要とする場合、回路の高速性が得られるSOI上に1905の回路2が作られているため、高速性が容易に得られる利点がある。

【0082】図20は、本発明の他の実施例を示す。図20に示す本発明の実施例は図19に示す本発明の実施例と共通するところが多い。そのため、図20において図19と共通の箇所1901～1906の名称の説明は省略する。図20において、単結晶シリコン基板1901の一部の領域に埋め込まれた電気絶縁膜であるシリコン酸化膜1902の一部の単結晶シリコンが除去されている。2001及び2002はシリコン窒化膜であり、シリコン酸化膜1902の下に単結晶シリコンを除去する時のマスクとなっている。単結晶シリコンを除去する時、例えば80℃～100℃に熱した水酸化カリウム溶液(KOH溶液)中に、単結晶シリコン基板を浸せば良い。シリコン酸化膜1902は、KOH溶液で単結晶シリコンをエッチングする時のエッチングストップの役割を果たし、シリコン酸化膜1902の上にある薄い単結晶シリコン膜1903がエッチングされるのを防ぐ役割も果たす。シリコン酸化膜1902の下に単結晶シリコンを除去した後、シリコン窒化膜2001及び2002は除去してもしなくても良い。又、2003と2004はシリコン酸化膜1902の下に単結晶シリコン1901の一部が残っている箇所を示している。

【0083】図21に、本発明の他の実施例を示す。図21に示す本発明の実施例は、図19と図20に示す本発明の実施例と共通するところが多い。そのため、図21において、図19及び図20と共通の箇所1901～1906及び2001、2002の名称の説明は省略する。

【0084】図21の実施例が図20の実施例と異なるところは、図20に示すシリコン酸化膜1902の下に単結晶シリコン1901の一部である2003と2004がないことのみである。即ち、図21はシリコン酸化膜1902の下に単結晶シリコン1901の全部が完全に除去されている構造になっている。

【0085】図21の本発明の実施例では、図20の本発明の実施例に比べ、シリコン酸化膜1902の下に単結晶シリコン1901の除去された箇所が広いので、除去された箇所に何か他の装置を組み込む時に、組み込み易い構造となっている。図22に本発明の実施例を示す。図22は、本発明の半導体装置であるアクティブマトリクス型光弁装置の断面構造図である。図22の本発明の半導体装置は、図20に示す半導体装置に接着剤により透明基板2223を接着し、シリコン酸化膜2202の下に液晶層2224を挟んで対向基板2226を配

(12)

21

した構造を有する。以下に、図22の各部の説明を行う。

【0086】2201は、薄い濃度（例えば $1 \times 10^{16} \text{ cm}^{-3}$ 程度）のP型不純物からなる単結晶シリコン基板であり、図22の左側と右側にある。図22の中央部に、厚み数百オングストローム～数ミクロンの電気絶縁膜であるシリコン酸化膜2202があり、薄い濃度（例えば $1 \times 10^{16} \text{ cm}^{-3}$ 程度）のN型不純物から成る単結晶シリコン2203がアイランド状に横方向に3個並んでいる。

【0087】図22では、図面を簡単にするために、アイランド状に3個の単結晶シリコン層があり、それぞれに1個ずつのMOS Trが形成されている状態を示しているが、実際には数十～数千個のアイランドが並んでいる。

【0088】2204は、単結晶シリコン基板2201上に形成された素子分離用の厚み数千オングストロームのシリコン酸化膜からなるフィールド酸化膜である。シリコン酸化膜2203の上にある薄い単結晶シリコン層の3個のシリコンアイランドにそれぞれ1個ずつのMOS Trが形成されているが、それぞれのMOSTrは、アクティブマトリクス型装置の各画素部のSw-Trの役割を果たす。3個のSw-Trはそれぞれ共通に、薄い濃度のN型不純物から成る厚みが数百オングストローム～数ミクロンの薄い単結晶シリコン2203、高濃度（例えば $1 \times 10^{20} \text{ cm}^{-3}$ 程度）のP型不純物から成るドレイン2205とソース2206、ゲート絶縁膜2207、ゲート2208から構成される。

【0089】2209は、厚みが数百～2000オングストロームの薄いPolySi膜から成る透明画素電極2229と薄い単結晶シリコン層2203の間の電気的な導通を防ぐための絶縁膜である。この絶縁膜は、化学的気相成長法で堆積させた厚み数百～1000オングストロームのシリコン酸化膜である。2210は、アルミ等の金属からなるドレイン線2211やアルミ配線とゲート電極2208や透明画素電極2229の電気的な導通を防ぐためのシリコン酸化膜から成る中間絶縁膜である。

【0090】図22の左側の単結晶シリコン基板2201の上に、N型MOS Trがある。そのN型MOS Trは高濃度（約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度）のN型不純物からなるソース2213とドレイン2214、ゲート絶縁膜2215、ゲート電極2216、更にP型不純物からなる単結晶シリコン基板2201から形成される。このN型MOS Trのドレイン2214と接続されたアルミ等の金属から成るドレイン線2211が、シリコン酸化膜2202の上にあるP型MOS Trからなる3個の画素Sw-Trの各ドレイン2205につながり、透明画素電極2229に電荷を与えるため、電圧を供給している。即ち、このN型MOS Trは画素Sw-Tr

22

rを駆動させるための駆動回路の一部になっており、駆動回路は単結晶シリコン基板2201の上に形成されている。

【0091】更に、図22の右側の単結晶シリコン基板の上にもN型MOS Trがある。そのN型MOS Trは高濃度（約 $1 \times 10^{20} \text{ cm}^{-3}$ 程度）のN型不純物からなるソース2217とドレイン2218、ゲート絶縁膜2219、ゲート電極2220、更にP型不純物からなる単結晶シリコン基板2201から形成される。このN型MOS Trのソース2217とドレイン2218には、アルミ等の金属配線2212が接続されている。

【0092】図22の左側と右側の単結晶シリコン基板上にある1個ずつのN型MOS Tr及び図面中央部にあるシリコン酸化膜2202の上にある3個の画素Sw-TrであるP型MOS Trは、図面に描かれていない部分で、最終的には電気的につながり、ある機能をもつ一つの集積回路を構成している。2221は集積回路全体を被うシリコン窒化膜等からなるパッシベーション膜である。2223は厚み数百ミクロン～1000ミクロンの石英等の透明基板であり、接着剤2222により、単結晶シリコン基板2201に接着されている。

【0093】図22の本発明の半導体装置では、更に図22の中央部にあるシリコン酸化膜2202の下に、シール材2225と対向透明基板2226に囲まれた領域に液晶層2224が封入されている。シリコン酸化膜2202の下部と対向透明基板2226の上で液晶層に接する箇所に、液晶を配向させるための配向膜2227が形成されている。又、対向透明基板2226の直ぐ上にITO等からなる透明な共通電極2228が形成されている。

【0094】図22において、3個の画素Sw-Trの上に光学的に不透明なアルミから成るドレイン線2211が配置されている。しかし、アルミ線の幅は数ミクロンと狭く、図22に示す断面図の少し奥側あるいは少し手前側の断面図を描くと、このアルミからなるドレイン線2211はない。その時、シリコン酸化膜及び薄いPoly-Si膜は透明であることから、透明画素電極2229の上部及び下部は全て透明となる。このため、各画素のSw-TrのON/OFFに伴い、各透明画素電極2229と共通電極2228の間、即ち各画素電極の下で液晶層に電圧が加わったり、加わらなかったりする。その結果、例えば対向透明電極2226の下に設けたランプの光を、各画素Sw-TrのONしているところでは光が通り、OFFしているところでは光は遮断されて、絵が表示される。

【0095】このように、図22に示す本発明の半導体装置では、画素Sw-Tr群が光学的に透明なシリコン酸化膜2202の上に形成され、しかもシリコン酸化膜2202の下の光学的に不透明な単結晶シリコンは除去され、除去された箇所に液晶が組み込まれて、光弁基板

(13)

23

装置として利用できる。

【0096】しかも、画素Sw-Tr群を動作させるための動作頻度の高い駆動回路部は単結晶シリコン基板2201の上に形成されることにより、駆動回路の動作時に発生する熱が単結晶シリコン基板2201に逃げ易い構造になっている。このため、駆動回路を形成する多数のMOS Trにおいて、温度上昇によるキャリア捕獲準位の増大が生じることもなく、駆動回路が安定に動作する優れた利点を有している。

【0097】図23は、本発明の半導体装置を形成するための製造方法を示す断面図である。2301は単結晶シリコン基板、2302は厚みが数ミクロン程度のレジストを示している。単結晶シリコン基板2301の中央部において、レジスト2302の窓あけをして、酸素イオン2303をイオン注入する。酸素イオンを注入する深さは、単結晶シリコン表面に所望の厚みの単結晶シリコン層を残すように、適切な加速エネルギーで酸素イオンを注入する。その後、1000℃以上の高温で単結晶シリコン基板2301を熱することにより、注入した酸素とシリコンが反応し、シリコン酸化膜が形成され、図18に示すような本発明の半導体装置が形成される。

【0098】更に課題(3)に対する本発明の他の実施例を説明する。図24は、本発明の半導体装置の構造断面図を示す。2401は薄い単結晶シリコン層、2402はシリコン酸化膜、2403は窒化アルミニウム層、2404は厚み数百 μm ~1000 μm 程度の単結晶シリコン基板を示す。薄い単結晶シリコン層2401、シリコン酸化膜2402、窒化アルミニウム層2403は、それぞれ数百~数 μm 程度の厚みを有している。薄い単結晶シリコン層2401は、シリコン酸化膜2402と窒化アルミニウム層2403から成る絶縁膜の上にあり、SOI層となっている。

【0099】薄い単結晶シリコン層2401に形成された集積回路が動作することにより、薄い単結晶シリコン層2401に発生する熱は、熱伝導性の高い窒化アルミニウム層2403があるために、シリコン酸化膜2402があっても、シリコン酸化膜2402を通過し、窒化アルミニウム層2403に伝わり、最終的にはヒートシンクとなる厚い単結晶シリコン基板2404に逃げることになる。

【0100】この効果は、シリコン酸化膜2402の厚みが窒化アルミニウム層2403の厚みより薄い場合、例えばシリコン酸化膜2402の厚みが数百オングストローム~数千オングストロームで、窒化アルミニウム2403の厚みが1 μm ~数 μm の厚みの場合には、さらに顕著となる。

【0101】ちなみに、シリコン酸化膜、窒化アルミニウム及び単結晶シリコンの熱伝導率はそれぞれ0.014W/cm \cdot °K、2.5W/cm \cdot °K、1.5W/cm \cdot °Kである。故に、窒化アルミニウムの熱伝導率は、

24

シリコン酸化膜の約180倍であり、しかも単結晶シリコンのそれよりも大きく、窒化アルミニウムの優れた熱伝導特性が分かる。

【0102】図24に示すように、本発明の半導体装置において、集積回路が形成される薄い単結晶シリコン層2401の直ぐ下にシリコン酸化膜2402が存在するのは、シリコン酸化膜が絶縁膜として安定かつ信頼性の高い性質を有するという理由の他に、単結晶シリコンと境界を接する絶縁膜を考えた場合、単結晶シリコン層に悪影響を及ぼさない絶縁膜として、現在得られるものの中で最も優れている絶縁膜であるからである。

【0103】図25は、本発明の他の実施例を示す半導体装置の構造断面図を示している。図25に示す各部の番号と名称は図24と全く同じであるので、簡単のためにここでそれらの説明は省略する。同様に、今後、他の図面においても、同じ番号を用いた場合、その番号に対応する箇所の名称は、既に説明してある名称と同じであるので、その説明は省略する。

【0104】図25と図24の異なるところは、図24において、窒化アルミニウム層2403の厚みがシリコン酸化膜2402の厚みより厚いという点だけである。このようにすると、前述したように薄い単結晶シリコン層2401に形成された集積回路が動作することによって、薄い単結晶シリコン層2401に発生した熱は非常に薄いシリコン酸化膜2402を非常に容易に通過し、熱伝導率の高い窒化アルミニウム層2403に達し易い。その結果、前記した熱は容易にヒートシンクの働きをする厚いシリコン基板2404に達し、薄い単結晶シリコン層2401の温度の上昇を防ぐ働きをする。

【0105】図26は、本発明の半導体装置の他の実施例を示す構造断面図である。図26に示す実施例においては、SOI層である薄い単結晶シリコン層2401の下にある絶縁膜は窒化アルミニウム2403一層のみである。この場合、薄い単結晶シリコン層2401に形成された集積回路が動作することによって発生する熱は、薄い単結晶シリコン層2401に直接接触している熱伝導率の高い窒化アルミニウム層2403に直接伝わり、ヒートシンクである単結晶シリコン基板に容易に逃げる。

【0106】図27は、本発明の半導体装置の他の実施例を示す構造断面図である。2701は薄い単結晶シリコン層、2702と2704は窒化アルミニウム層、2703はシリコン酸化膜、2705は厚い単結晶シリコン基板を示している。図27に示す本発明の実施例では、SOI層である薄い単結晶シリコン層2701の下にある絶縁膜は、窒化アルミニウム層2702と2704の間にシリコン酸化膜2703が挟まれた三層構造になっている。図27に示す構造では、薄い単結晶シリコン層2701と厚い単結晶シリコン基板2705それぞれに熱伝導率の高い窒化アルミニウム層が接触してお

(14)

25

り、薄い単結晶シリコン層に形成された集積回路が動作することにより発生する熱が容易にヒートシンクである厚い単結晶シリコン基板2705に逃げる構造になっている。

【0107】図28(a)～(c)は、図24に示す本発明の半導体装置の製造方法を示す工程断面図である。図28(a)～(c)の製造方法は、張り合わせ法によるSOIウェハの作成方法を利用している。図28

(a)において、2801は単結晶シリコン基板、2802は単結晶シリコン基板2801を酸化して得られるシリコン酸化膜である。シリコン酸化膜2802の厚みは数百オングストローム～数 μm である。シリコン酸化膜2802が形成された単結晶シリコン基板2801を基板Aとする。又、2804は他の単結晶シリコン基板、2803は単結晶シリコン基板2804の表面に形成された窒化アルミニウム層である。窒化アルミニウム層2803が形成されている単結晶シリコン基板2804を基板Bとする。

【0108】図28(b)において、900～1200℃の高温真空中あるいは高温酸素雰囲気中で基板Aと基板Bをシリコン酸化膜2802と窒化アルミニウム層2803を対向させて張り合わせる。更に、図6(c)において、シリコン酸化膜2802が形成された単結晶シリコン基板2801を研磨あるいはエッチング、あるいは研磨とエッチングの両方を使って、所望の厚みになるまで除去する。その結果、窒化アルミニウム層2803とシリコン酸化膜2802の上にSOI層である薄い単結晶シリコン層2805が形成されることになる。集積回路が形成されるSOI層である薄い単結晶シリコン層2805のすぐ下には、単結晶シリコン基板2801を酸化してできたシリコン酸化膜2802があり、薄い単結晶シリコン層2805とシリコン酸化膜2802の境界面は良好に保たれる。

【0109】図29は、窒化アルミニウム層の形成装置の概略図である。図29を用いて、イオンプレーティング法により、単結晶シリコン基板上に窒化アルミニウム層を形成する方法を説明する。単結晶シリコン基板2901を基板保持具2902に取り付ける。真空容器2903内を例えば0.01mTorr以下の高真空中に排気する。ヒータ2904により真空容器2903内の温度を例えば300℃～400℃に上げ、単結晶シリコン基板2901及び基板保持具2902及び真空容器2903内全体から不要なガスを出させる。(脱ガスを行う。)この脱ガスは、単結晶シリコン基板上にこれから附着させようとする窒化アルミニウムの付着力を強める働きをする。

【0110】次に、シャッター2905を閉じたまま、ホロー陰極2906にアルゴンガス導入管2907からアルゴンガスを流す。ホロー陰極用電源2908をONし、ホロー陰極放電を開始する。その結果、電子ビーム

26

2909によりルツボ2910内に置かれたアルミニウム2911を加熱する。加熱されたアルミニウムは蒸発する。ホロー陰極放電の放電電流は例えば200A、アルゴンガス流量は18SCCM(毎分18CC)である。窒素ガスをN₂ガス導入口2912より導入し、窒素分圧を調整する。窒素分圧は例えば2mTorrである。

【0111】ホロー陰極からの放電と窒素ガスの圧力が安定してから、シャッター2905を開き、単結晶シリコン基板2901上に窒化アルミニウム層を形成する。窒化アルミニウム層の形成中、単結晶シリコン基板2901に高周波電源2913と整合器2914により高周波バイアスを印加する。この高周波バイアスにより、基板に付着したチャージを基板から離脱させることができ、単結晶シリコン基板の温度が比較的低くても、密着性及び結晶性に優れた化合物膜である窒化アルミニウム膜を単結晶シリコン基板上に形成することができる。この時の高周波出力は例えば20Wである。

【0112】以上説明した本発明の窒化アルミニウムの製造方法はイオンプレーティング法と呼ばれているが、活性化反応蒸着法(ARE法)とも呼ばれている。図30に、本発明の他の実施例である構造断面図を示す。3001はSOI層である薄いシリコン酸化膜、3002はシリコン酸化膜、3003は窒化アルミニウム層、3004は厚い単結晶シリコン膜である。

【0113】図30において、シリコン酸化膜3002はシリコンウェハ内の一部の箇所3005において除去されていて、その箇所、窒化アルミニウム層が薄い単結晶シリコン層3001と接触している。この構造においては、薄い単結晶シリコン層3001に形成された集積回路が動作した時に薄い単結晶シリコン内で発生する熱は、窒化アルミニウム層3003と薄い単結晶シリコン3001が直接接している箇所3005から熱伝導性の高い窒化アルミニウム層3003に伝わり、更にヒートシンクとなっている単結晶シリコン基板3004に逃げる。このため、図30に示す本発明の半導体装置においては、集積回路が動作中でも、薄い単結晶シリコン層3001の温度上昇は抑えられる。

【0114】図31(a)～(d)及び図32(a)～(d)の工程断面図により、図30に示す本発明の半導体装置の製造方法を示す。図31(a)において、3101は単結晶シリコン基板、3102は単結晶シリコン基板を酸化して得られたシリコン酸化膜、3103はシリコン酸化膜上に塗布されたレジスト膜をそれぞれ表わしている。

【0115】図31(b)において、フォトリソグラフィ工程により、レジスト膜3103の一部の箇所にレジスト窓3104を明ける。その後、イオンエッチングにより、レジスト窓3104を明けた箇所の表面が露わになったシリコン酸化膜をエッチングする。

(15)

27

【0116】図31(c)において、シリコン酸化膜の一部の箇所がエッチングされ、その箇所で単結晶シリコン基板の表面が露出される。図31(d)において、窒化アルミニウム層3105を、シリコン酸化膜が表面の一部の箇所に残っている単結晶シリコン基板に形成する。更にその上に気相成長させたシリコン酸化膜3106を堆積させる。ここで、窒化アルミニウム層3105の表面は平坦ではないが、厚く堆積させたシリコン酸化膜3106の表面はほぼ平坦になっている。

【0117】図32(a)において、気相成長させたシリコン酸化膜3106の全てと窒化アルミニウム層3105の一部を研磨あるいはポリッシングで除去すると、表面が非常に平坦な窒化アルミニウム層3105が形成される。ここで、シリコン酸化膜3102及び非常に平坦な窒化アルミニウム層3105が表面に形成された単結晶シリコン基板3101を基板Cとする。

【0118】図32(b)において、前記基板Cと新たな単結晶シリコン基板3106(これを基板Dとする。)を用意する。図32(c)において、基板Cと基板Dを窒化アルミニウム層3105を内側にして、900~1200℃の高温真空中あるいは高温酸素雰囲気中で張り合わせる。そして最後に、図32(d)において、シリコン酸化膜3102と窒化アルミニウム層3105が形成されていた単結晶シリコン基板3101(基板C)の単結晶シリコン層を所望の厚みにまで研磨あるいはエッチングあるいは研磨とエッチングの両方により除去することにより、図30に示す構造を持つ本発明の半導体装置が得られる。

【0119】図33は、本発明の他の実施例を示す半導体装置の構造断面図である。図33は、絶縁物上に単結晶シリコン層があるSOIウエハに集積回路が形成された半導体装置の一部の箇所の構造断面図を示している。3301は厚み数百 μm ~1000 μm の単結晶シリコン基板、3302は厚み数千オングストローム~数 μm の窒化アルミニウム層、3303は厚み数千オングストローム~数 μm のシリコン酸化膜を示す。3304は、シリコン酸化膜3303上にあった薄い単結晶シリコン層を酸化して形成された厚み数千オングストロームの素子分離用のシリコン酸化膜を示す。図33においては、シリコン酸化膜3304の底はシリコン酸化膜3303に接触している。3305は、薄い単結晶シリコンの内 $1 \times 10^{16} \text{cm}^{-3}$ 程度の濃度のP型不純物から成るPウェル領域、3306と3307はそれぞれ薄い単結晶シリコン層の内、 $1 \times 10^{20} \text{cm}^{-3}$ 程度の濃度のN型不純物を含むソース領域とドレイン領域を示す。3308は、薄い単結晶シリコン層を酸化して形成された厚み数百オングストロームのシリコン酸化膜から成るゲート絶縁膜、3309は高濃度のN型不純物を含む多結晶シリコンから成るゲートを示す。ゲート3309、ゲート絶縁膜3308、ソース3306、ドレイン3307、P

28

ウェル3305からN型MOSトランジスタが形成されている。

【0120】3310は厚み数千オングストロームのシリコン酸化膜を堆積して形成された中間絶縁膜である。3311はソース3306と電氣的接続をしているアルミ層、3312はドレイン3307と電氣的接続をしているアルミ層である。3311と3312のアルミ層はそれぞれ図33の左側及び右側に伸びるに従い、配線ともなっている。3313はシリコン窒化膜から成るパッシベーション膜である。

【0121】図33において、絶縁物上単結晶シリコンウエハ(SOIウエハ)の絶縁物とは窒化アルミニウム層3302とシリコン酸化膜3303であり、SOI層はPウェル3305とソース3303及びドレイン3307から成っている。ドレイン3307に接しているアルミニウム配線3312は、窒化アルミニウム層3302と3304の箇所において接触している。N型MOSトランジスタが動作することにより、薄い単結晶シリコン層、即ち図11ではPウェル3305、ソース3306及びドレイン3307で発生した熱は、アルミ配線3312を伝わり、更に窒化アルミニウム層3302とアルミ配線3312の接触箇所3314から窒化アルミニウム層3302及びヒートシンクの働きをする単結晶シリコン基板3301へ逃げる。このため、図33に示す本発明の構造を持つ半導体装置においては、薄い単結晶シリコン層で発生した熱は薄い単結晶シリコン層の中に閉じ込めることなく、薄い単結晶シリコン層の温度の上昇を防ぐ働きを持つ。

【0122】なお、以上の説明において、窒化アルミニウム層として、 Al_xN の化学式で表わせられる物質を例として説明してきたが、 Al_xN_y 化学式で表わせられる物質でも、熱伝導率の値は Al_xN のそれと大差なく、ここまで説明してきた本発明の特徴を Al_xN_y の化学式で表わせられる物質も持っている。故に、本発明の中で窒化アルミニウムと述べていることは、 Al_xN だけではなく、 Al_xN_y についても言えることである。また、 Al_xN にかえて、炭素やサファイヤ(Al_2O_3)からなる膜を使用しても有効な放熱効果を得ることができる。

【0123】又、本発明の絶縁膜上の単結晶シリコンから成る半導体装置において、図24、図26、図28等に示す2404や2804の基板は単結晶シリコンに限らず、石英やガラス等の透明絶縁基板であっても本発明の実施例に含まれる。この場合、シリコン酸化膜、窒化アルミニウム層及び石英は透明であるため、アクティブマトリクス型光弁装置に使用することが可能である。

【0124】図34は、本発明の半導体基板を用いて光弁装置を構成した実施例を示す。電気光学物質として液晶を用いた場合である。図34において、半導体基板3400と、対向基板3420と、該基板間に充填された

(16)

29

液晶層 3410 とから構成される。半導体基板は透明な材料からなる支持基板 3401 と、該支持基板上に形成された窒化アルミニウム層 3402 と、酸化シリコン膜 3419 から構成される。半導体基板 3400 の上には周辺回路部を構成する X ドライバ 3414 と Y ドライバ 3415 と、該 Y ドライバと接続する複数の走査電極 3412 と X ドライバと接続する複数の信号電極 3413 と、該信号電極と走査電極の各交差部に形成される $S_w - T_r$ 3404 と画素電極 3403 が形成されている。

【0125】図 34 には、上下の偏光板 3417 と 3411 が形成されているが、偏光板は必ずしも透明基板 3416 や 3401 に接着しないで、分離して配置しても良い。周辺回路部を構成する X ドライバ、および Y ドライバには図 33 で示した半導体装置により構成されている。図 34 において、理解を容易にするために、窒化アルミニウム層 3402 を透明基板 3401 上に積層された構造を記載したが、窒化アルミニウム層を必要な部分のみ、例えば周辺回路部の下部のみ形成しても良いことはいうまでもない。

【0126】図 35 は本発明の半導体装置の構造断面図を示す。3501 は石英やガラス等から成る透明絶縁基板、3502 は窒化アルミニウム等の熱伝導性の高い絶縁膜、3503 は単結晶シリコン、多結晶シリコン、 $a - Si$ 等の半導体膜を示す。半導体膜 3503 中に形成されたトランジスタや集積回路が動作することにより、半導体膜 3503 中に発生する熱は、熱伝導率の高い窒化アルミニウム等の絶縁膜 3502 に伝わり、半導体膜 3503 中にとどまることはない。

【0127】なお、図 35 の実施例は、絶縁基板 3501 が透明であり、又 3502 は窒化アルミニウムが薄膜の場合透明であるため、光透過型のアクティブマトリクス型表示装置に適用できる利点がある。図 36 は本発明の半導体装置の他の実施例を示す構造断面図である。3601 は窒化アルミニウム等の高い熱伝導率を持つ絶縁基板である。3602 は単結晶シリコン、多結晶シリコン、 $a - Si$ 等から成る半導体膜を示す。

【0128】この図 36 に示す構造の半導体装置においても、半導体膜 3602 中に形成されたトランジスタや集積回路が動作することにより、半導体膜 3602 中に発生する熱は、熱伝導率の高い窒化アルミニウム等の絶縁膜 3601 に伝わり、半導体装置の外へ逃げ、半導体膜 3602 中にとどまることはない。

【0129】図 37 は本発明の半導体装置の他の実施例を示す構造断面図である。3701 は窒化アルミニウム等の高い熱伝導率を持つ絶縁基板である。3702 はシリコン酸化膜等の薄い絶縁膜を示す。3703 は単結晶シリコン、多結晶シリコン、 $a - Si$ 等から成る半導体膜を示す。

【0130】この図 37 に示す構造の半導体装置においても、半導体膜 3703 中に形成されたトランジスタや

30

集積回路が動作することにより、半導体膜 3703 中に発生する熱は、薄い絶縁膜 3702 を通過し、熱伝導率の高い窒化アルミニウム等の絶縁膜 3701 に容易に逃げ、半導体膜 3703 中にとどまることはない。

【0131】図 37 の構造において、絶縁膜 3702 が存在する理由の一つは、熱伝導性の高い絶縁基板 3701 が例えば窒化アルミニウムの場合、窒化アルミニウムが圧電性を持っているためである。半導体膜 3703 中にトランジスタや集積回路が形成されて、それらが動作する時発生する電流や電圧が圧電性を持つ窒化アルミニウムに影響を与え、半導体膜 3703 と窒化アルミニウム 3701 との相互作用が生じる恐れがある。薄い絶縁膜 3702 があると、この相互作用を防ぐことができる。

【0132】更にもう一つの理由は、熱伝導性の高い窒化アルミニウムの上に直接半導体膜を形成するよりも、シリコン酸化膜上に半導体膜を形成する方が容易になるからである。以上の説明において、熱伝導性の高い絶縁物質の例として、窒化アルミニウムを挙げた。この窒化アルミニウムの常温での熱伝導率は既に述べた様に、 $2.5 W/cm \cdot ^\circ K$ であり、絶縁膜であるシリコン酸化膜の $0.014 W/cm \cdot ^\circ K$ よりはるかに高く、半導体である単結晶シリコンの $1.5 W/cm \cdot ^\circ K$ に比べても高い。このことから、窒化アルミニウムが優れた熱伝導性を有することが理解できる。

【0133】図 38 は本発明の半導体装置の他の実施例を示す構造断面図である。3801 は透明絶縁基板、3802 は窒化アルミニウム等の高い熱伝導率を持つ絶縁膜、3803 はシリコン酸化膜、シリコン酸化膜 3803 の上の左右両端にある 3804 は単結晶シリコン層、シリコン酸化膜 3803 の上の中央部にある 3805 は $Poly - Si$ をそれぞれ示している。図 38 の本発明の実施例では、透明絶縁基板 3801、窒化アルミニウム 3802、シリコン酸化膜 3803 は全て透明であるため、例えば多結晶シリコン層 3805 に画素 $S_w - T_r$ 群を形成し、単結晶シリコン層 3804 にそれら画素 $S_w - T_r$ 群を動作させるドライバー回路を形成し、アクティブマトリクス表示装置として適用することが可能である。

【0134】この構造においても、熱伝導性の高い窒化アルミニウム層 3802 があることにより、3805 の多結晶シリコン層に形成された画素スイッチングトランジスタ群及び単結晶シリコン層 3804 の中に形成されたドライバー回路が動作しても、そこで発生する熱は、シリコン酸化膜 3803 を通過し、ヒートシンクとなる窒化アルミニウム層 3802 に伝わり、半導体層である $Poly - Si$ 層 3805 及び単結晶シリコン層 3804 に留まることはない。この時、3803 のシリコン酸化膜の厚みはあまり厚くない方が、例えば数千オングストロームであることが望ましい。

(17)

31

【0135】図39(a)～(d)と図40(e)～(h)は、図38に示す本発明の半導体装置の製造方法を示す構造断面図である。この製造方法は、張り合わせ法によるSOIウェハの作製方法を利用している。図39(a)において、3901は単結晶シリコン基板、3902は単結晶シリコン基板3901を酸化して得られるシリコン酸化膜である。シリコン酸化膜3902の厚みは数百オングストローム～数 μm である。シリコン酸化膜3902が形成された単結晶シリコン基板3901を基板Aとする。

【0136】又、3904は透明絶縁基板、3903は透明絶縁基板3904の表面に形成された窒化アルミニウム層である。窒化アルミニウム層3903が形成されている透明絶縁基板3904を基板Bとする。図39(b)において、900～1200℃の高温真空中あるいは高温酸素雰囲気中で基板Aと基板Bをシリコン酸化膜3902と窒化アルミニウム層3903を対向させて張り合わせる。

【0137】更に、図39(c)において、シリコン酸化膜3902が形成された単結晶シリコン基板3901を研磨あるいはエッチング、あるいは研磨とエッチングの両方を使って、所望の厚みになるまで除去する。その結果、窒化アルミニウム層3903とシリコン酸化膜3902の上にSOI層である薄い単結晶シリコン層3905が形成されることになる。図39(d)において、図39(c)の薄い単結晶シリコン層3905の上にレジストを塗布し、フォトリソグラフィ工程により、中央部のレジストを除去し、左右両端にレジスト3906を残す。

【0138】次に、図40(e)において、ドライエッチングにより、薄い単結晶シリコン3905を除去し、その後、レジスト3906を除去する。その結果、シリコン酸化膜3902の上の左右両端に単結晶シリコン層3907が残る。図40(f)において、Poly-Si多結晶シリコン3908を堆積した後、レジストを塗布し、フォトリソグラフィ工程により、中央部にレジスト3909を残す。次に、図40(g)において、ドライエッチングにより、Poly-Si 3908をエッチングし、中央部のレジスト3909の下に島状にPoly-Si 3910を残す。

【0139】図40(h)において、レジスト3909を除去すると、シリコン酸化膜3902の上部の左右両端に島状の単結晶シリコン3907、中央部に同じく島状の多結晶シリコン3910が形成され、図38に示す本発明の半導体装置の構造が出来上がることになる。

【0140】図41に、本発明の他の実施例である構造断面図を示す。4101は半導体膜、4102はシリコン酸化膜、4103は窒化アルミニウム層、4104は厚い透明絶縁基板である。図41において、シリコン酸化膜4102は一部の箇所4105において除去されて

32

いて、その箇所で、窒化アルミニウム層が半導体膜4101と接触している。この構造においては、半導体膜4101に形成された集積回路が動作した時に薄い半導体膜内で発生する熱は、窒化アルミニウム層4103と薄い半導体膜4101が直接接している箇所4105から熱伝導性の高い窒化アルミニウム層4103に伝わる。このため、図41に示す本発明の半導体装置においては、集積回路が動作中でも、薄い半導体膜4101の温度上昇は抑えられる。

10 【0141】図42は、本発明の他の実施例を示す半導体装置の構造断面図である。図42は、絶縁物上の半導体膜、ここではPoly-Si膜上に集積回路が形成された半導体装置の一部の箇所の構造断面図を示している。4201はガラスや石英等の絶縁基板、4202は厚み数千オングストローム～数 μm の窒化アルミニウム層、4203は厚み数千オングストローム～数 μm のシリコン酸化膜を示す。4204は、薄いPoly-Siの内 $1 \times 10^{16} \text{cm}^{-3}$ 程度の濃度のP型不純物から成るPウェル領域、4205と4206はそれぞれ薄いPoly-Si層の内、 $1 \times 10^{20} \text{cm}^{-3}$ 程度の濃度のN型不純物を含むソース領域とドレイン領域を示す。

20 【0142】4207は、薄いPoly-Si膜を酸化して形成されたシリコン酸化膜から成るゲート絶縁膜、4208は、ゲート酸化膜4207を形成する時に同時にPoly-Si膜の側壁に形成されるシリコン酸化膜、4209は高濃度のN型不純物を含むPoly-Siから成るゲートを示す。ゲート4209、ゲート絶縁膜4207、ソース4205、ドレイン4206、Pウェル4204からN型MOSトランジスタが形成されている。4210は厚み数千オングストロームのシリコン酸化膜を堆積して形成された中間絶縁膜である。4211はソース4206と電氣的接続をしているアルミ層、4212はドレイン4206と電氣的接続をしているアルミ層である。4211のアルミ層は図42の前後に伸びるに従い、4212のアルミ層は図42の右側に伸びるに従い、配線ともなっている。4213はシリコン窒化膜から成るパッシベーション膜である。

40 【0143】図42において、ドレイン4206に接しているアルミニウム配線4212は、窒化アルミニウム層4202と4214の箇所において接触している。N型MOSトランジスタが動作することにより、薄いPoly-Si膜、即ち図42ではPウェル4204、ソース4205及びドレイン4206で発生した熱は、アルミ配線4212を伝わり、更に窒化アルミニウム層4202とアルミ配線4212の接触箇所4214から窒化アルミニウム層4202へ逃げる。このため、図42に示す本発明の構造を持つ半導体装置においては、薄い多結晶シリコン膜層で発生した熱は薄い多結晶シリコン膜層の中に閉じ込められることなく、薄い多結晶シリコン膜層の温度の上昇を防ぐ働きを持つ。

50

(18)

33

【0144】次に、課題（4）に対する本発明の実施例を説明する。即ち、単結晶シリコン基板に非常に微細化されたTrにより形成された集積回路が動作する場合に発生する熱を逃がす構造を考える。図43、図45、図46は本発明の他の実施例を示す。これら3つの図面において、説明の簡略化のために、同一名称の箇所には、同一番号を振った。

【0145】図43において、4301は薄い濃度のP型不純物から成る単結晶シリコン基板、4302は単結晶シリコン基板よりやや濃度の高いP型不純物濃度から成るPウェル、4303と4304は高濃度のN型不純物から成るソース及びドレイン、4305はゲート絶縁膜、4306は高濃度の不純物が含まれているPoly-Siから成るゲート、4307は薄い濃度のN型不純物から成るNウェル、4308と4309は高濃度のP型不純物から成るソース及びドレイン、4310は高濃度の不純物が含まれているPoly-Siから成るゲートを表わしている。

【0146】4311は素子分離のための厚いシリコン酸化膜、4312は堆積させて形成したシリコン酸化膜から成る中間絶縁膜、4313は金属アルミである。4314は熱伝導性の高いパッシベーション膜を示す。このパッシベーション膜は絶縁性であり、例えば窒化アルミニウムを用いる。

【0147】図43において、N型MOS TrはPウェル4302、ソース4303、ドレイン4304、ゲート絶縁膜4305、ゲート4306から形成される。又、P型MOS TrはNウェル4307、ソース4308、ドレイン4309、ゲート絶縁膜4305、ゲート4310から形成される。

【0148】N型MOS Tr及びP型MOS Trが動作することによって発生する熱は、基板の単結晶シリコン層4301に逃げるだけでなく、Trの上部にある熱伝導性の高いパッシベーション膜4314にも逃げるため、たとえ、Trの寸法が非常に小さく、流れる電流が多くとも、Tr内の温度は上昇することはない。

【0149】図44の本発明の実施例と図43の本発明の実施例の異なるところは、図44はSOIウェハを使用している点だけである。即ち、図44において、4401は単結晶シリコン基板、4402は単結晶シリコンシリコン酸化膜である。このシリコン酸化膜4402の上に薄い単結晶シリコン層があり、そこにN型MOSTr及びP型MOS Trが形成されている。即ち、SOI層はN型MOSTrのPウェル4302、ソース4303、ドレイン4304及びP型MOSTrのNウェル4307、ソース4308、ドレイン4309から成っている。

【0150】SOIウェハにおいては、Trが動作することにより発生する熱がシリコン酸化膜4402の下にある単結晶シリコン基板4401に伝達されにくい。し

34

かし、図44においては、Trの上にあるパッシベーション膜4314が熱伝導性の高い物質であるため、Tr内で発生する熱は金属アルミ4313からパッシベーション膜4314に伝わり、SOI層の温度は上昇しにくい。

【0151】又図45は、図44と同じくSOIを使用している本発明の実施例である。4501は透明絶縁基板、4502は熱伝導性の高い層である。シリコン酸化膜4402より上の構造は図44と同じである。N型MOS Tr及びP型MOS Trの領域で発生する熱は、それらTrの上にある熱伝導性の高いパッシベーション膜4314とシリコン酸化膜4402の下にある熱伝導層4502に伝わり、Tr領域の温度が上昇することはない。

【0152】図45の実施例の場合、透明絶縁基板4501の熱伝導性が悪く、シリコン酸化膜層4402と透明絶縁基板4501の間にある熱伝導層4502の存在は、Tr内で発生する熱を下側に逃がす上で効果を持つ。図45の実施例において、熱伝導性パッシベーション膜4314は絶縁物であり、熱伝導層4502は金属であっても良い。パッシベーション膜4314は金属アルミ4313と接しているので、絶縁物でなくてはならない。又熱伝導層4502は金属を用いると、非常に高い熱伝導率が得られるからである。

【0153】次に、課題（5）に対する本発明の実施例を以下に説明する。図46は本発明の半導体基板の一実施例を示す模式的断面図である。絶縁性支持基板4604上に接着剤層4603を介してシリコン単結晶薄膜デバイス形成層4601を有し、シリコン単結晶薄膜デバイス形成層4601上に絶縁層4602を有し、絶縁層4602上に熱伝導性に優れた材料より成る熱伝導層4605が形成されている。

【0154】ここで、絶縁性支持基板4604は、ガラス、石英等から成る透明性材料としてもよい。また、熱伝導性に優れた材料より成る層4605は金属あるいは樹脂により形成される。さらに熱伝導性に優れた材料より成る層4605は透明性材料により形成してもよい。

【0155】図47は本発明の半導体基板の他の実施例を示す模式的断面図である。図46に示した例と異なる点は、熱伝導層4701が絶縁性支持基板4604と接着剤層4603との間に形成されている点である。図48は本発明の半導体基板の他の実施例を示す模式的断面図である。

【0156】図46に示した例と異なる点は、熱伝導層4801と接着剤層4603の位置が逆転している点である。このようにすると、シリコン単結晶薄膜デバイス形成層4601と熱伝導層4801の距離が図46に示した実施例に比べ近くなるので、熱は熱伝導層4801に逃げ易い構造になっている。

【0157】図49は本発明の半導体基板の他の実施例

50

(19)

35

を示す模式的断面図である。絶縁層 4602 の上に熱伝導層 4605 があり、接着剤層 4603 とシリコン単結晶薄膜デバイス形成層 4601 の間に熱伝導層 4801 があり、二箇所に熱伝導層があることを特徴としている。このようにすると、シリコン単結晶薄膜デバイス形成層 4601 において発生する熱は上下二箇所の熱伝導層 4801 と 4605 に逃げるために、図 46 に示した実施例に比べ、熱がシリコン単結晶薄膜デバイス形成層 4601 にとどまりにくい構造になっている。

【0158】本発明の図 46～図 49 の実施例において、熱伝導層 4605、4901 は絶縁物の窒化アルミニウムであることを特徴とする。窒化アルミニウムは透明であるため、光弁用半導体基板として用いる場合に便利である。更に絶縁物 4602 の上の熱伝導層 4605 は、熱伝導率の非常に高いアルミ等の金属であっても良い。

【0159】図 49 の実施例において、熱伝導層 4605 はアルミ等の金属であり、4801 の熱伝導層は窒化アルミニウムの絶縁物であると、更に好ましい。即ち、4801 の熱伝導層はシリコン単結晶薄膜デバイス形成層 4601 に形成された金属配線層と接することがあり、電氣的ショートを防ぐためには、この熱伝導層 4801 は絶縁物である方が良い。

【0160】本発明の図 47～図 49 の実施例において、図 46 の例と同様に、絶縁性支持基板 4604 は、ガラス、石英等から成る透明性材料としてもよい。

【0161】本発明の図 46～図 49 の実施例によれば、シリコン単結晶薄膜デバイス形成層 4601 に接する絶縁層 4602 に密着して、熱伝導層 4605 が形成され、あるいはシリコン単結晶薄膜デバイス形成層 4601 に接する接着剤層 4603 に密着して、熱伝導層 4701 又は 4801 が形成されているために、シリコン単結晶薄膜デバイス形成層 4601 に MOS 型集積回路を形成した場合に、MOS 型集積回路から発生した熱を速やかに逃がすことができ、熱と MOS 型 Tr のドレイン領域に印加された電圧によって、MOS 型 Tr のゲート絶縁膜に多数キャリアが深くトラップされてしまい、その結果、MOS 型 Tr のしきい値上昇を引き起こすという劣化現象を抑止することができる。

【0162】図 50 は本発明の光弁用半導体基板の一実施例による光弁装置の模式的断面図である。絶縁性支持基板 5004 上に接着剤層 5003 を介してシリコン単結晶薄膜デバイス形成層 5001 を有し、シリコン単結晶薄膜デバイス形成層 5001 上に絶縁層 5002 を有し、シリコン単結晶薄膜デバイス形成層 5001 には駆動回路が形成された駆動回路形成領域 5010 及び各画素毎に Sw-Tr が形成された画素領域 5006 とを有し、駆動回路形成領域 5010 上の絶縁層 5002 上に熱伝導性に優れた材料より成る熱伝導層 5005 が形成されている。さらに画素領域 5030 上の絶縁層 500

36

2 上には、図示しないが配向膜が形成され、簡単のため図示しない対向電極と配向膜とを表面に形成した対向基板 5021 がシール 5022 により接着され、絶縁層 5002 上の配向膜と対向基板 5021 上の配向膜との間隙に液晶層 5023 を挟持する構造をとる。

【0163】図 50 に示した光弁装置においては熱伝導層 5005 は駆動回路形成領域 5010 上の絶縁層 5002 上にのみ形成されている。これは駆動回路は常時動作しており、熱を発生しやすいのに対して、画素領域 5030 内の各画素毎に形成された Sw-Tr は常時動作しておらず、例えばテレビ信号により画面表示を行う場合、1 秒間に約 30 ミリ秒しか各 Sw-Tr は ON 状態にならないからである。

【0164】また、図 50 に示した光弁装置においては絶縁性支持基板 5004、接着剤層 5003 及び対向基板 5021 は透明性材料により形成され、透過型の光弁装置を形成している。一方、熱伝導層 5005 は透明性材料である必要はなく、金属あるいは樹脂等により形成される。

【0165】図 51 は本発明の光弁用半導体基板の他の実施例による光弁装置の模式的断面図である。図 50 に示した例と異なる点は、熱伝導層 5101 が絶縁性支持基板 5004 と接着剤層 5003 との間に形成されている点である。この場合は、画素領域 5030 の下面にも熱伝導層 5101 が形成されているため、透過型の光弁装置を形成するためには熱伝導層 5101 は透明性材料により形成される必要がある。なお、図示しないが場合によっては、駆動回路形成領域 5010 上の絶縁層 5002 上にさらに熱伝導性に優れた材料より成る層を形成してもよい。他の構成要素については図 50 と同一の符号を記して説明に替える。

【0166】図 52 は本発明の光弁用半導体基板の他の実施例による光弁装置の模式的断面図である。5201 は接着剤層 5003 とシリコン単結晶薄膜デバイス形成層 5001 の間にある熱伝導性に優れた窒化アルミニウムである。5202 は駆動回路形成領域 5010 上の絶縁層 5002 の上にある熱伝導性に優れたアルミである。アルミ 5202 は絶縁層 5002 の一部の箇所 5203 に穴をあけ、単結晶薄膜デバイス形成層 5001 の中で特に熱の発生する駆動回路形成領域 5010 で発生した熱を、絶縁層 5002 を介して逃がす働きをする。シリコン単結晶薄膜デバイス形成層 5001 内に設けられたアース端子に接していることから、ここからも効率良く熱を逃がす働きを持つ。何故なら金属配線によりアース端子に導かれた熱が容易にアルミ 5202 に逃げるからである。その上、絶縁層 5002 の上のアルミを電氣的にグランドに設定して安定にすると、シリコン単結晶薄膜デバイス形成層 5001 の電氣的な影響を防ぐことができ、駆動回路の安定な動作が可能になる。

【0167】図 50～図 52 の例に示した実施例によれ

(20)

37

ば、図46～図49の例で説明したように、シリコン単結晶薄膜デバイス形成層4601に接する絶縁層4602に密着して、熱伝導層4605が形成され、あるいはシリコン単結晶薄膜デバイス形成層4601に接する接着剤層4603に密着して、熱伝導層4701、4801が形成されているために、シリコン単結晶薄膜デバイス形成層4601にMOS型集積回路より成る駆動回路を形成した場合に、駆動回路から発生した熱を速やかに逃がすことができ、熱とMOS型トランジスタのドレイン領域に印加された電圧により、MOS型トランジスタのゲート絶縁膜に多数キャリアが深くトラップされてしまい、その結果、MOS型トランジスタのしきい値上昇を引き起こすという劣化現象が抑止された、シリコン単結晶を材料として駆動回路及び各画素毎のSw-T rを形成した光弁装置を形成することができる。

【0168】

【発明の効果】以上詳細に説明したように、本発明の半導体装置は以下に示す優れた性質を有する。

(1) 電気絶縁膜上の薄い単結晶シリコン層に、少なくとも相補型MOS集積回路から成る駆動回路部と画素Sw-T r群が形成されている本発明の光弁基板用半導体装置では、高電圧が加わる画素Sw-T rのV tの経時的変動が少なく、しかも光によるリーク電流が非常に少ない優れた性質を有している。

【0169】(2) 本発明の半導体装置は動作頻度が高く、消費電力の高い回路を電気絶縁膜のない領域の単結晶シリコン上に形成することによって、その回路で発生する熱を逃がし易くし、また動作頻度が低く、消費電力の少ない、しかも高速を必要とする回路を電気絶縁膜上の薄い単結晶シリコン上に形成することによって、信頼性の高い性能の安定した、かつ高速の半導体装置を得ることができる。

【0170】又、単結晶シリコン中に形成した絶縁膜の下に残る単結晶シリコン層を除去し、かつ、その絶縁膜の上にある単結晶シリコン層をアイランド状に形成すると、その絶縁膜がシリコン酸化膜の場合、シリコン酸化膜状で単結晶シリコンアイランドが形成されていない領域では、単結晶シリコン基板の上下に渡って、光学的に透明な領域が得られる。

【0171】その結果、シリコン酸化膜の下に透明基板とシール材により液晶を封入し、かつシリコン酸化膜上の単結晶シリコン層に画素Sw-T r群を形成すれば、小面積で大容量の光弁基板装置を得ることができる利点も有する。

(3) 又、薄い単結晶シリコン、Poly-Si, a-Si等の半導体膜の下にある絶縁物が熱伝導率の非常に高い窒化アルミニウム層一層あるいは少なくとも窒化アルミニウム層を含む複数層から成っていることにより、薄い単結晶シリコン、Poly-Si, a-Si等の半導体膜中に形成された集積回路の動作によって発生

38

する熱が窒化アルミニウム層中に逃げ、その結果、薄い半導体膜中の温度が上昇することなく、安定でかつ信頼性の高い半導体装置を提供できる優れた利点を有している。

【0172】(4) 又、単結晶シリコン基板あるいは絶縁物上の薄い単結晶シリコン、Poly-Si, a-Si等の半導体膜中に形成されたTr, ダイオード、集積回路等の上部に熱伝導性の高い絶縁物であるパッシベーション膜が形成されていることにより、単結晶シリコン基板中あるいは絶縁物上の半導体膜中で発生した熱がパッシベーション膜中に逃げ、その結果、単結晶シリコン基板あるいは絶縁物上の半導体膜の温度が上昇することなく、安定でかつ信頼性の高い半導体装置を提供できる優れた利点を有している。

【0173】(5) 更に、絶縁性基板上に接着材層を介してシリコン単結晶薄膜デバイス形成層を有し、前記シリコン単結晶薄膜デバイス形成層上に絶縁層を有する本発明の半導体基板、及び光弁用半導体基板によれば、絶縁層の上又は接着剤層に接して熱伝導層が形成されていることにより、シリコン単結晶薄膜デバイス形成層に形成されたMOS型集積回路から発生した熱を速やかに逃がすことができるため、長時間の動作によっても、MOS型トランジスタのしきい値上昇を抑制し、信頼性に優れたMOS型集積回路及びシリコン単結晶を材料として駆動回路及び各画素毎のSw-T rを形成した光弁装置を形成することができる。

【図面の簡単な説明】

【図1】本発明の光弁基板用半導体装置の構造断面図である。

【図2】SOIウェハの断面構造図である。

【図3】(a)～(d)は従来の半導体装置の製造方法を示す工程断面図である。

【図4】従来の半導体装置の断面図である。

【図5】単結晶シリコン層に形成されたMOSトランジスタの断面図である。

【図6】石英基板上の単結晶シリコン層に形成されたMOSトランジスタの断面図である。

【図7】シリコン酸化膜上の単結晶シリコン層に形成されたMOSトランジスタの断面図である。

【図8】電気絶縁物上の単結晶シリコン層に形成されたMOSトランジスタの断面図である。

【図9】従来の半導体基板を示す模式的断面図である。

【図10】電気絶縁物上の単結晶シリコン層に形成された通常の構造のMOSトランジスタの断面図である。

【図11】電気絶縁物上の単結晶シリコン層に形成されたMOSトランジスタの高電圧動作時のV T の経時変化を示すグラフである。

【図12】電気絶縁物上の単結晶シリコン層に形成されたLDD構造のMOSトランジスタの断面図である。

【図13】電気絶縁物上の単結晶シリコン層に形成され

(21)

39

た通常構造とLDD構造のMOSトランジスタの高電圧動作時のVT の経時変化をゲート長をパラメータとして示したグラフである。

【図14】光弁基板用半導体装置の構成を示す斜視図である。

【図15】光照射時の電気絶縁物上の単結晶シリコン層に形成されたMOSトランジスタの構造断面図である。

【図16】電気絶縁物上の単結晶シリコン層に形成されたMOSトランジスタの平面図である。

【図17】本発明の光弁基板用半導体装置における、画素スイッチングトランジスタと駆動回路部のMOSトランジスタの平面図である。

【図18】本発明の半導体装置の断面構造図である。

【図19】本発明の半導体装置の断面構造図である。

【図20】本発明の半導体装置の断面構造図である。

【図21】本発明の半導体装置の断面構造図である。

【図22】本発明の半導体装置の断面構造図である。

【図23】本発明の半導体装置の製造方法の一例を示す断面図である。

【図24】本発明の半導体装置の断面図である。

【図25】本発明の半導体装置の断面図である。

【図26】本発明の半導体装置の断面図である。

【図27】本発明の半導体装置の断面図である。

【図28】(a)～(c)は本発明の半導体装置の製造方法を示す工程断面図である。

【図29】窒化アルミニウムを形成するための装置の概略図である。

【図30】本発明の半導体装置の断面図である。

【図31】(a)～(d)は本発明の半導体装置の製造方法を示す工程断面図である。

【図32】(a)～(d)は本発明の半導体装置の製造方法を示す工程断面図である。

【図33】本発明の半導体装置の断面図である。

【図34】本発明の半導体基板を用いた光弁装置。

【図35】本発明の半導体装置の断面図である。

【図36】本発明の半導体装置の断面図である。

【図37】本発明の半導体装置の断面図である。

【図38】本発明の半導体装置の断面図である。

【図39】(a)～(d)は本発明の半導体装置の製造方法を示す工程断面図である。

【図40】(e)～(h)は本発明の半導体装置の製造方法を示す工程断面図である。

【図41】本発明の半導体装置の断面図である。

【図42】本発明の半導体装置の断面図である。

【図43】本発明の半導体装置の断面図である。

【図44】本発明の半導体装置の断面図である。

【図45】本発明の半導体装置の断面図である。

【図46】本発明の半導体基板の一実施例を示す模式的断面図である。

【図47】本発明の半導体基板の他の実施例を示す模式

40

的断面図である。

【図48】本発明の半導体装置の断面図である。

【図49】本発明の半導体装置の断面図である。

【図50】本発明の光弁用半導体基板の一実施例による光弁装置の模式的断面図である。

【図51】本発明の光弁用半導体基板の他の実施例による光弁装置の模式的断面図である。

【図52】本発明の光弁用半導体基板の他の実施例による光弁装置の模式的断面図である。

【符号の説明】

104	液晶
105、31、41	下地シリコン酸化膜
106、22、32	半導体単結晶シリコン層
111	画素電極
112	画素スイッチングトランジスタ
113	＝光膜
114、116	配向膜
117	駆動回路部MOSトランジスタ
1801、1901、2201	単結晶シリコン基板
1802、1902、2202	シリコン酸化膜
1803、1903、2203	シリコン酸化膜上の単結晶シリコン層
1904、1906	単結晶シリコン基板上に形成された回路
1905	シリコン酸化膜上の単結晶シリコン層に形成された回路
2222	接着剤
2223	透明基板
2224	液晶層
2225	シール材
2226	対向透明基板
2404、2705、2804	単結晶シリコン基板
2402、2703、2802	シリコン酸化膜
2403、2702、2704、2803、3302	窒化アルミニウム
2401、2701、2805	絶縁膜上の薄い単結晶シリコン
3311、3304	金属配線
3501、3801	透明絶縁基板
3601、3701	高熱伝導性絶縁基板
3502、3802	窒化アルミニウム
3803、3902	シリコン酸化膜
3503、3602、3702	半導体膜
4211、4212	金属配線
4601	シリコン単結晶薄膜デバイス形成層
4602	絶縁層
4603	接着剤層
4604	絶縁性支持基板
4605	熱伝導層
5021	対向基板

(22)

41

42

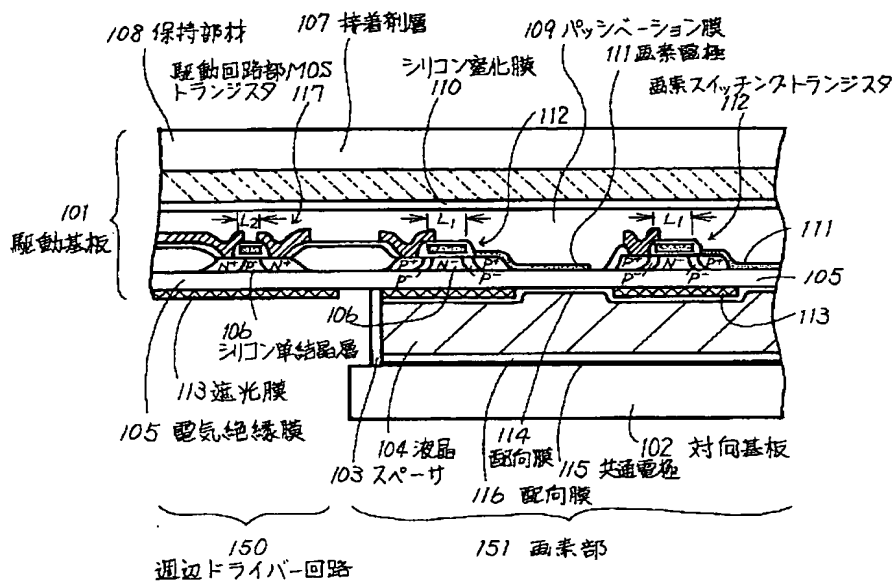
5 0 2 2 シール

5 0 1 0 驅動回路形成領域

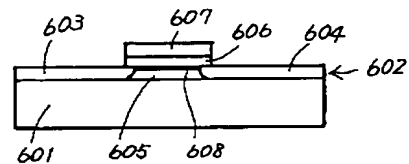
5023 液晶層

5 0 3 0 画素領域

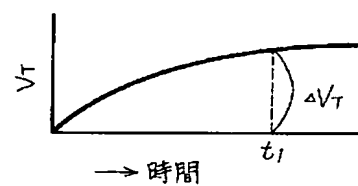
【图 1】



【図 6】

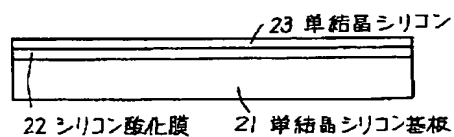


【図 10】

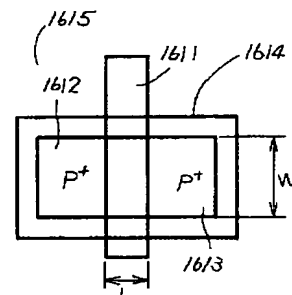
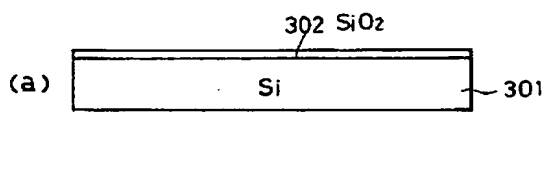


【图 16】

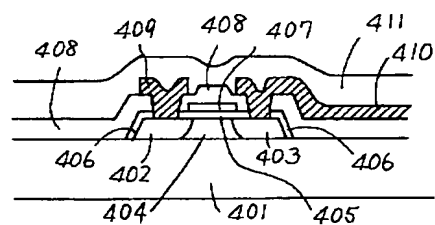
【図 2】



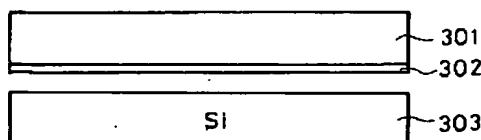
【图 3】



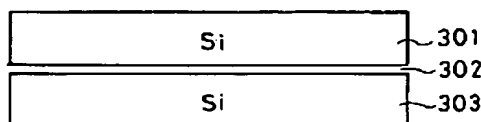
【図 4】



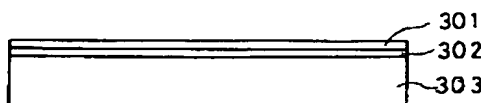
(b)



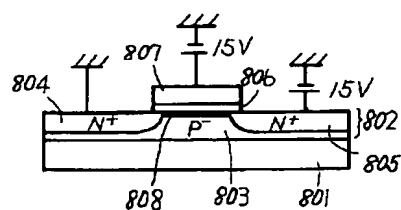
(c)



(d)

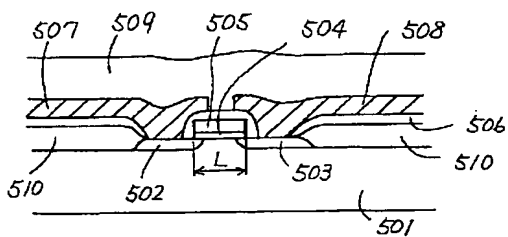


【図 8】

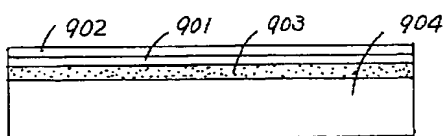


(23)

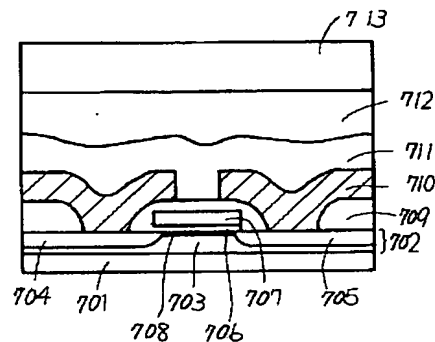
【図5】



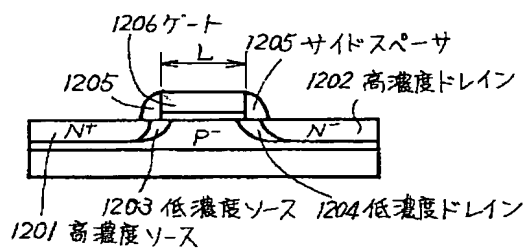
【図9】



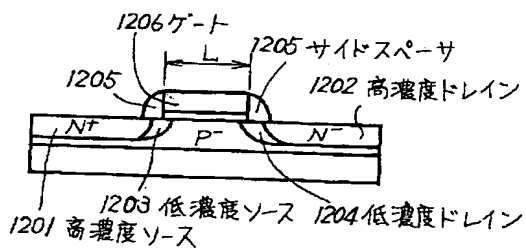
【図7】



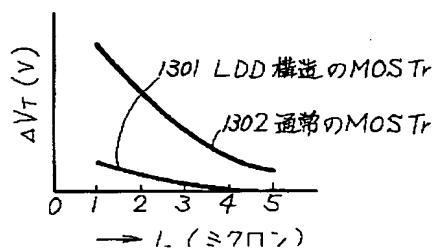
【図11】



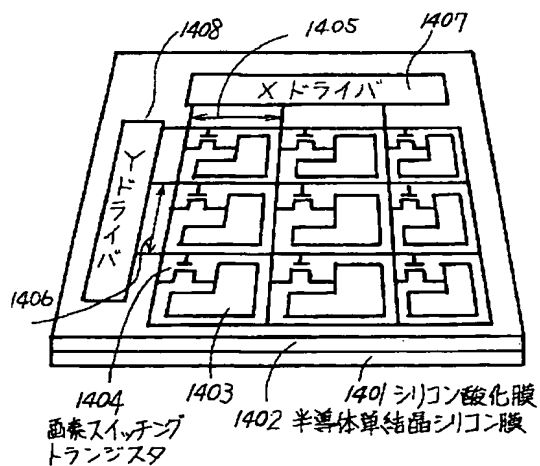
【図12】



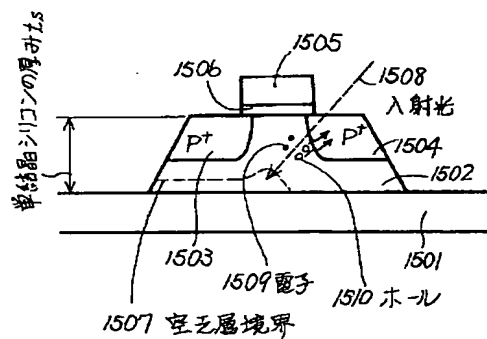
【図13】



【図14】

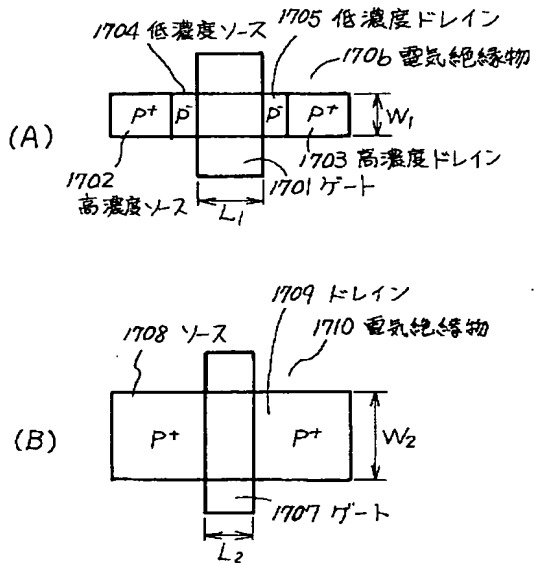


【図15】

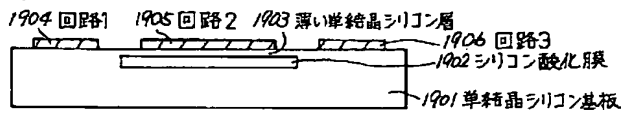


(24)

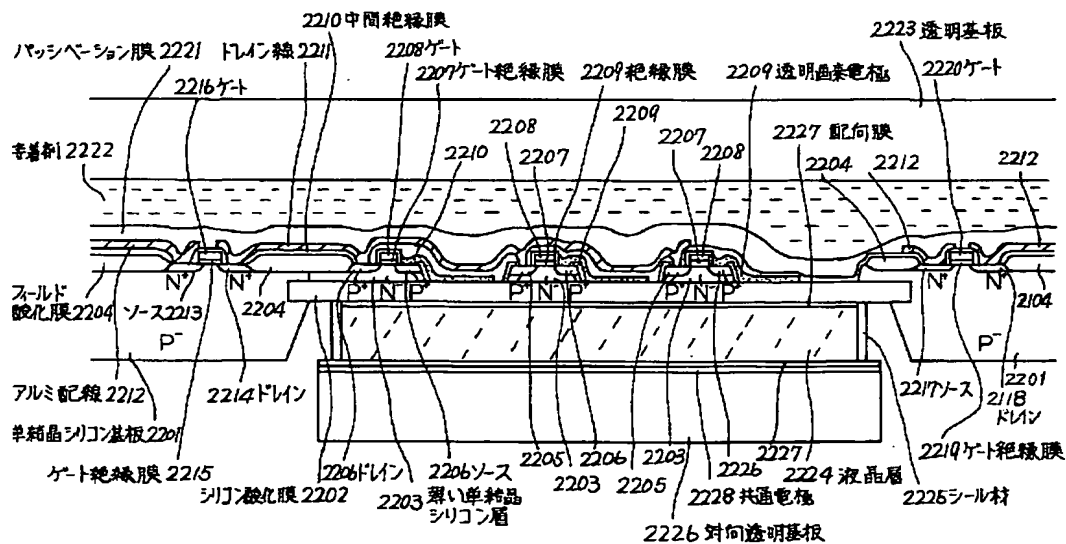
【图 17】.



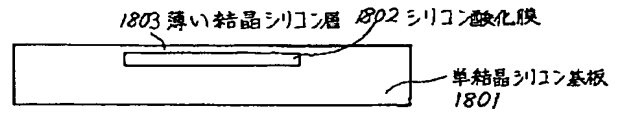
【図 19】



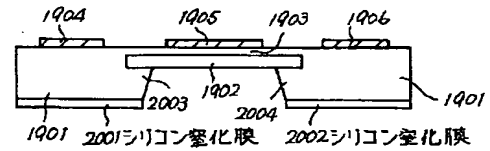
【图 2 2】



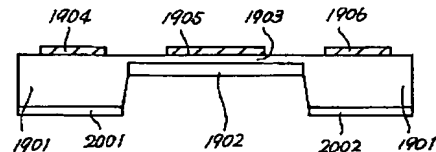
【図 18】



【図 20】

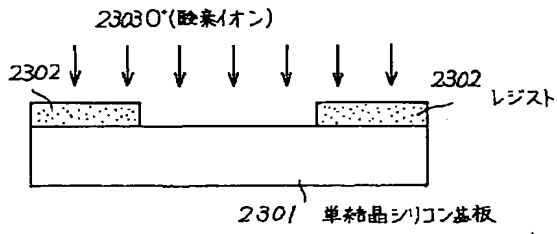


【図 2 1】

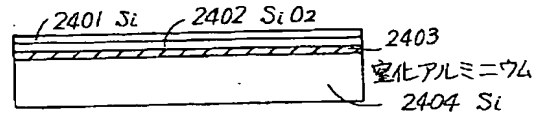


(25)

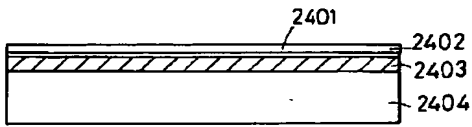
【図23】



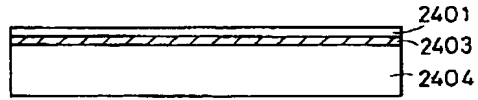
【図24】



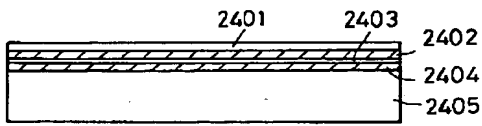
【図25】



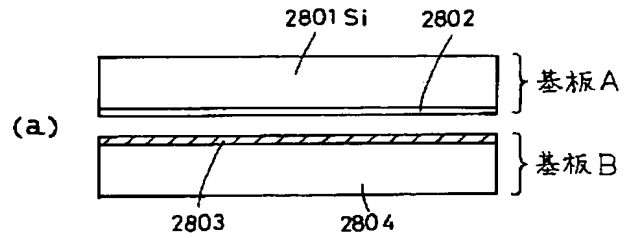
【図26】



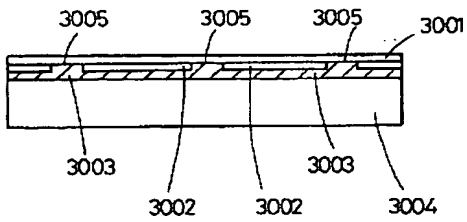
【図27】



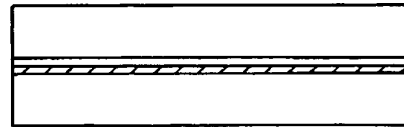
【図28】



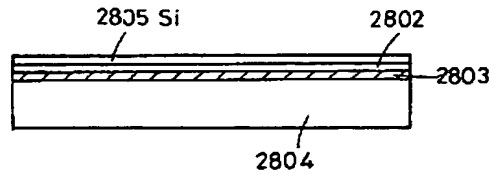
【図30】



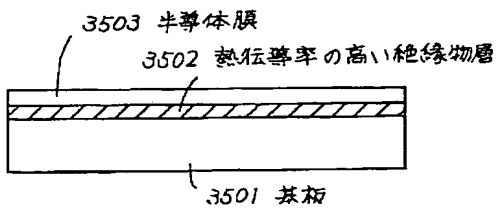
(b)



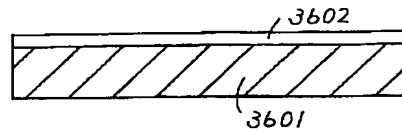
(c)



【図35】

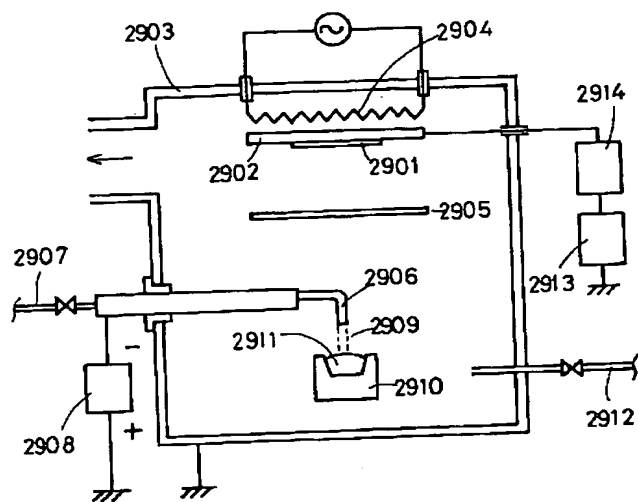


【図36】

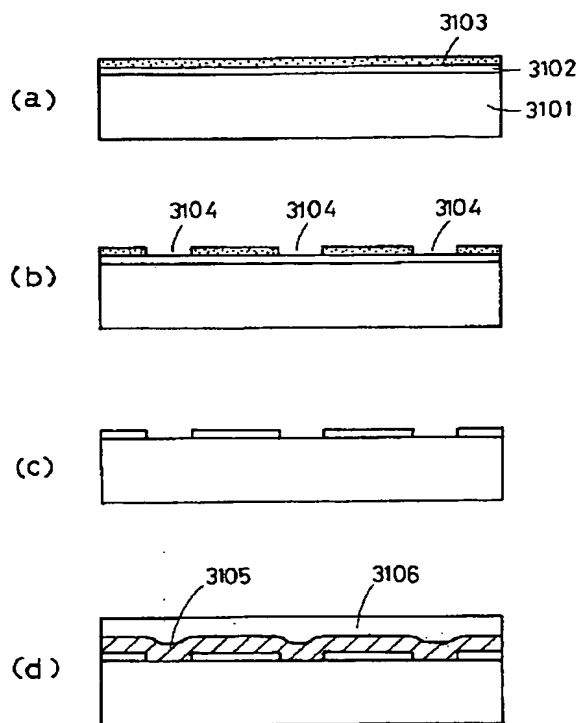


(26)

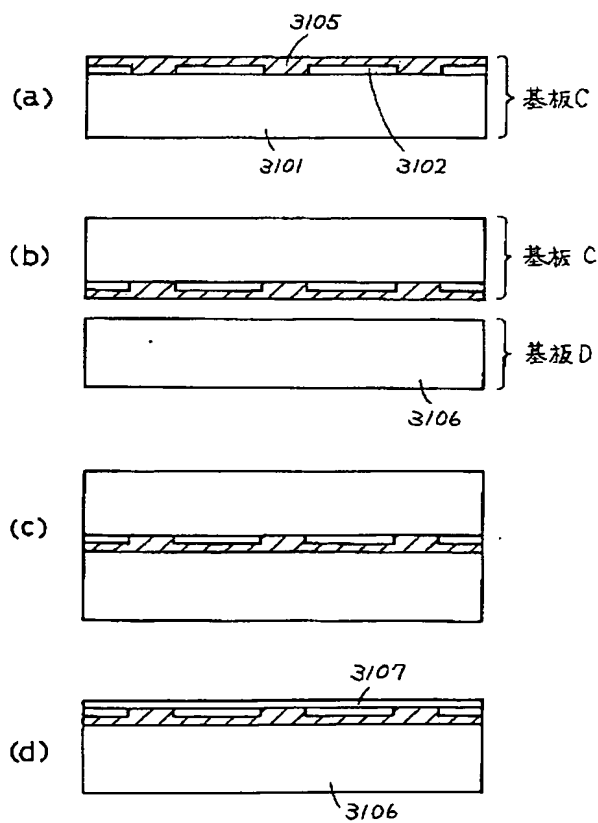
【図29】



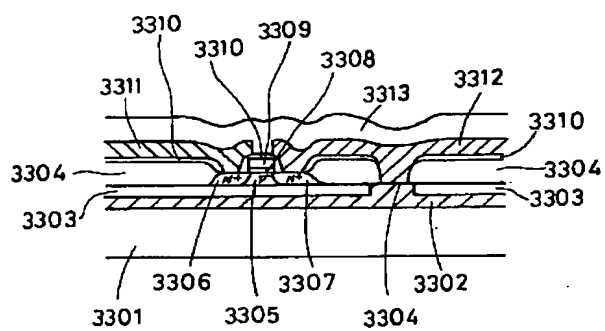
【図31】



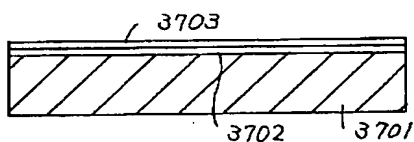
【図32】



【図33】

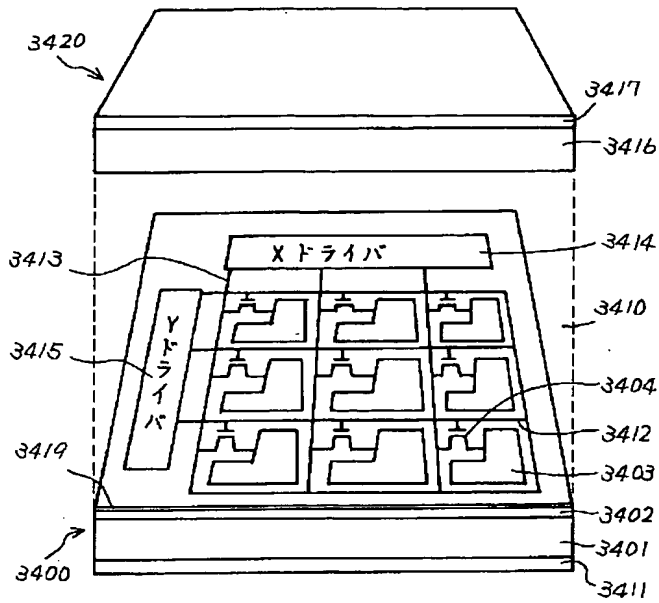


【図37】

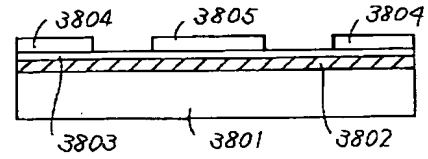


(27)

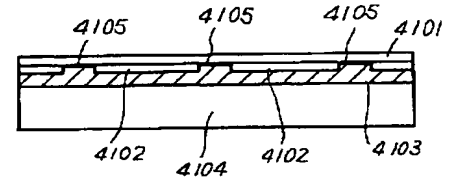
【図34】



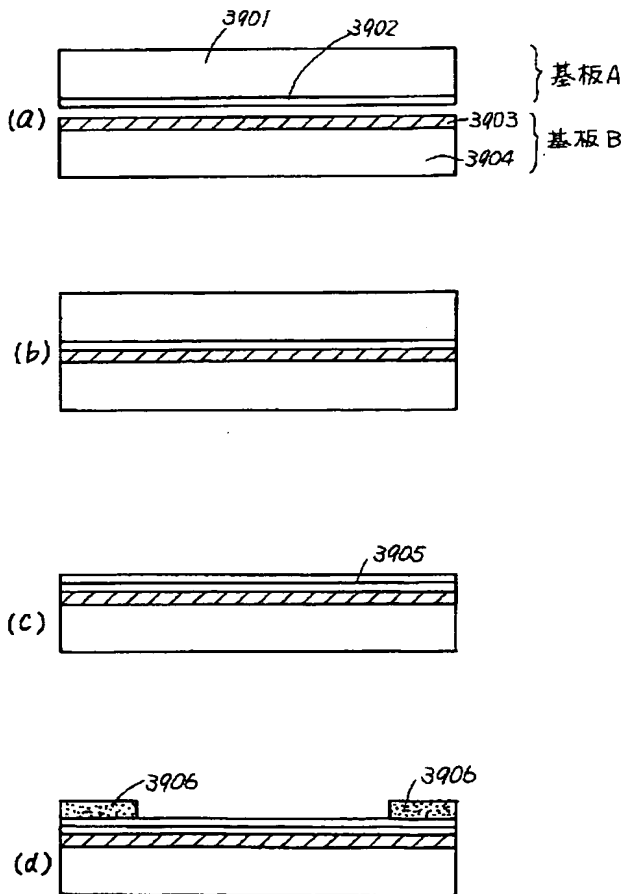
【図38】



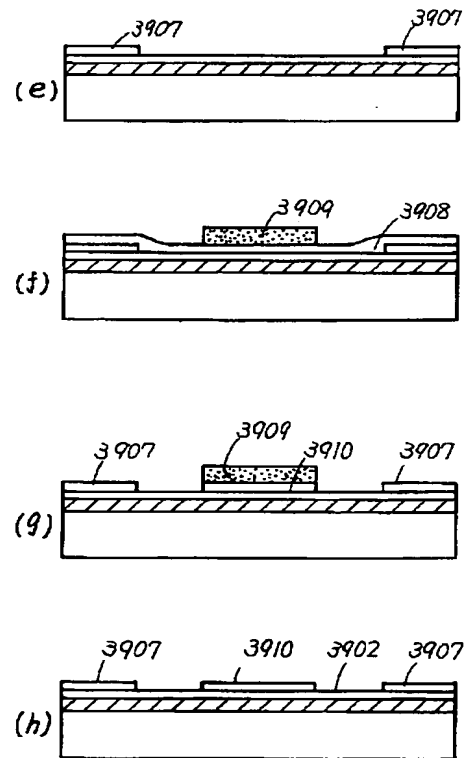
【図41】



【図39】

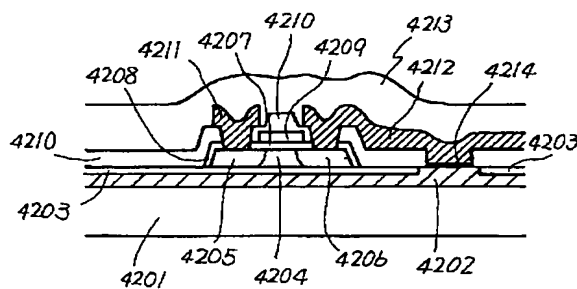


【図40】

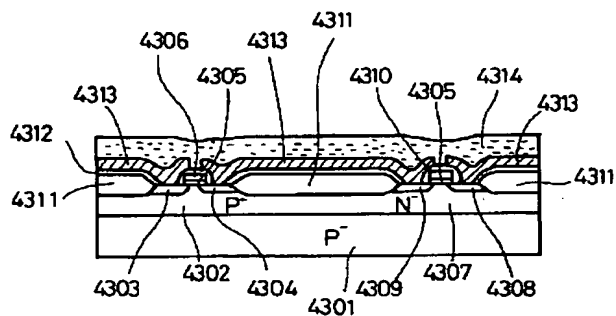


(28)

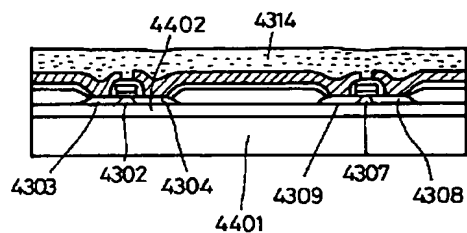
【図42】



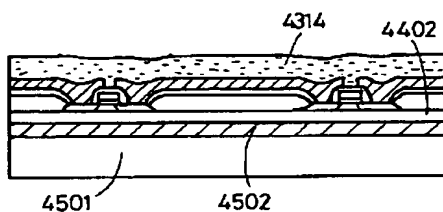
【図43】



【図44】

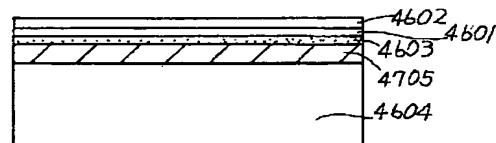
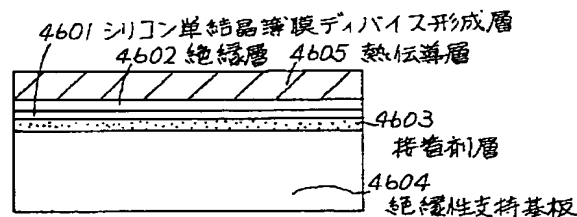


【図45】



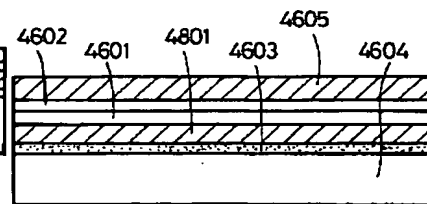
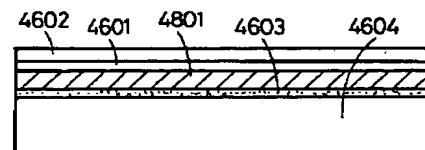
【図46】

【図47】

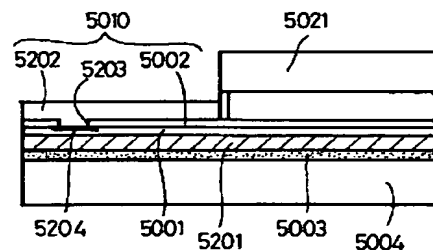


【図48】

【図49】

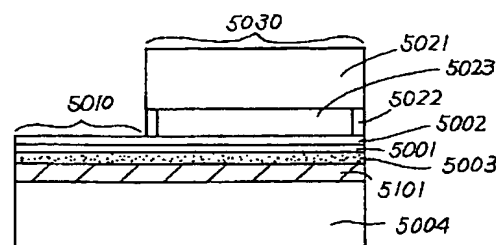
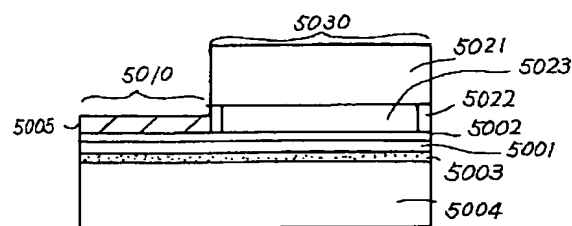


【図52】



【図50】

【図51】



(29)

フロントページの続き

- | | | | |
|--------------|----------------------|----------|----------------------|
| (31) 優先権主張番号 | 特願平5-162957 | (72) 発明者 | 岩城 忠雄 |
| (32) 優先日 | 平5 (1993) 6月30日 | | 東京都江東区亀戸6丁目31番1号 セイコ |
| (33) 優先権主張国 | 日本 (JP) | | 一電子工業株式会社内 |
| (31) 優先権主張番号 | 特願平5-180484 | (72) 発明者 | 神谷 昌明 |
| (32) 優先日 | 平5 (1993) 7月21日 | | 東京都江東区亀戸6丁目31番1号 セイコ |
| (33) 優先権主張国 | 日本 (JP) | | 一電子工業株式会社内 |
| (72) 発明者 | 桜井 敦司 | (72) 発明者 | 小島 芳和 |
| | 東京都江東区亀戸6丁目31番1号 セイコ | | 東京都江東区亀戸6丁目31番1号 セイコ |
| | 一電子工業株式会社内 | | 一電子工業株式会社内 |
| (72) 発明者 | 山崎 恒夫 | (72) 発明者 | 鈴木 瑞明 |
| | 東京都江東区亀戸6丁目31番1号 セイコ | | 東京都江東区亀戸6丁目31番1号 セイコ |
| | 一電子工業株式会社内 | | 一電子工業株式会社内 |

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-098460

(43)Date of publication of application : 11.04.1995

(51)Int.Cl.

G02F 1/136

H01L 29/786

(21)Application number : 05-222627

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 07.09.1993

(72)Inventor : TAKAHASHI KUNIHIRO

TAKASU HIROAKI

NAKAJIMA KUNIO

SAKURAI ATSUSHI

YAMAZAKI TSUNEO

IWAKI TADAO

KAMIYA MASAOKI

KOJIMA YOSHIKAZU

SUZUKI MIZUAKI

(30)Priority

Priority number : 04283091 Priority date : 21.10.1992 Priority country : JP

05 33601 23.02.1993 JP

05 52477 12.03.1993 JP

05162957 30.06.1993 JP

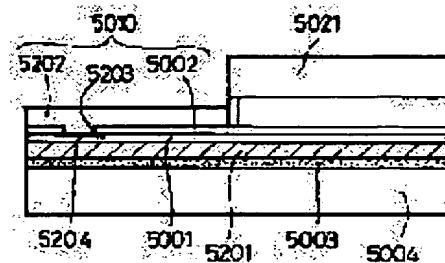
05180484 21.07.1993 JP

(54) SEMICONDUCTOR DEVICE AND LIGHT VALVE DEVICE

(57)Abstract:

PURPOSE: To provide the semiconductor substrate capable of suppressing the increase in the threshold value of MOS type transistors on a silicon single crystal device forming layer in spite of a long-time operation and forming MOS type integrated circuits having excellent reliability and the semiconductor substrate for light valves.

CONSTITUTION: This semiconductor device has the silicon single crystal thin-film device forming layer 5001 via an adhesive layer 5003 on an insulating substrate 5004 and has an insulating layer 5002 on the silicon single crystal thin-film device forming layer 5001. Heat conductive layers 5201 and 5202 consisting of a material having excellent heat conductivity are arranged between the silicon single crystal thin-film device forming layer 5001 and the adhesive layer 5003 and on the insulating layer 5002.



LEGAL STATUS

[Date of request for examination]	02.07.1998
[Date of sending the examiner's decision of rejection]	29.08.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	2000-15403
[Date of requesting appeal against examiner's decision of rejection]	28.09.2000
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device with which a heat dissipation means to radiate heat in the heat generated with this integrated circuit in the semiconductor device with which the integrated circuit is formed in the semi-conductor layer was formed.

[Claim 2] It is the semiconductor device characterized by being the heat-conduction layer by which this heat dissipation means was formed on this integrated circuit in the semiconductor device according to claim 1.

[Claim 3] It is the semiconductor device characterized by this heat-conduction layer containing the nitriding aluminum in a semiconductor device according to claim 2.

[Claim 4] It is the semiconductor device which the insulating passivation film is formed between this heat-conduction layer and this semi-conductor layer in a semiconductor device according to claim 2, and is characterized by this heat-conduction layer containing whether it is the gap chosen from the nitriding aluminum, the oxidation aluminum, a metal, and carbon.

[Claim 5] It is the semiconductor device characterized by being the heat-conduction layer by which this heat dissipation means was formed in the bottom of this semi-conductor layer in the semiconductor device according to claim 1.

[Claim 6] It is the semiconductor device characterized by this heat-conduction layer containing the nitriding aluminum in a semiconductor device according to claim 5.

[Claim 7] It is the semiconductor device which laminating formation of an insulator layer and the heat-conduction layer is carried out one by one under this semi-conductor layer, and is characterized by this heat-conduction layer containing whether it is the gap chosen from the nitriding aluminum, the oxidation aluminum, a metal, and carbon in a semiconductor device according to claim 5.

[Claim 8] The semiconductor device which sequential formation of silicon oxide and the heat-conduction layer is carried out under this semi-conductor layer, and is characterized by arranging the substrate of either a transparence insulation substrate and a single crystal silicon substrate in the bottom of this heat-conduction layer further in a semiconductor device according to claim 5.

[Claim 9] It is the semiconductor device which this semi-conductor layer consists of single crystal silicon, and laminating formation of silicon oxide and the heat-conduction layer is carried out one by one under this single crystal silicon in a semiconductor device according to claim 5, and is characterized by the thickness of this heat-conduction layer being thicker than the thickness of this silicon oxide.

[Claim 10] It is the semiconductor device characterized by this semi-conductor layer consisting of single crystal silicon, polycrystalline silicon, or amorphous silicon in a semiconductor device according to claim 1.

[Claim 11] It is the semiconductor device which this semi-conductor layer constitutes the **** substrate which pastes up on an insulating substrate through adhesives and changes in a semiconductor device according to claim 1, and this heat dissipation means consists of a heat-conduction layer, and is characterized by arranging this heat-conduction layer in either between this insulating substrate and this semi-conductor layer on this integrated circuit.

[Claim 12] It is the semiconductor device characterized by being the thin film layer in which this heat-

conduction layer contains any one of the nitriding aluminum, the oxidation aluminum, a metal, and the carbon in a semiconductor device according to claim 11.

[Claim 13] This compound substrate is a semiconductor device characterized by forming this heat-conduction layer near this drive circuit field in a semiconductor device according to claim 11 including a drive circuit field and a pixel field.

[Claim 14] This wiring section and this heat-conduction layer are a semiconductor device characterized by for this integrated circuit contacting at least by the part in a semiconductor device according to claim 11 including the wiring section, and being formed.

[Claim 15] It is the semiconductor device characterized by connecting with the ground section by which this heat-conduction layer is contained in this integrated circuit in a semiconductor device according to claim 11 electrically.

[Claim 16] It is the semiconductor device characterized by being a thin film layer containing the nitriding aluminum by which this heat dissipation means was formed on a semi-conductor layer and in either under this semi-conductor layer of ion play TENGU in the semiconductor device according to claim 1.

[Claim 17] It is the semiconductor device which an insulator layer is embedded in this semi-conductor layer, and is characterized by this heat dissipation means being the semi-conductor layer of the field where this insulator layer is not embedded in a semiconductor device according to claim 1.

[Claim 18] The frequency of the integrated circuit formed in the semi-conductor layer on this insulating layer in the semiconductor device according to claim 17 of operation is a semiconductor device characterized by being fewer than the frequency of the integrated circuit formed on the semi-conductor layer of the field where this insulating layer is not embedded of operation.

[Claim 19] It is the semiconductor device characterized by removing a part or all in a semiconductor device according to claim 17, as for the semi-conductor layer under this insulating layer.

[Claim 20] The semiconductor device characterized by forming in the semi-conductor layer on this insulating layer the drive circuit for a pixel switching transistor driving this switching transistor in the semi-conductor layer where the insulating layer is not embedded in a semiconductor device according to claim 17.

[Claim 21] An integrated circuit is formed in a semi-conductor layer, and this integrated circuit contains an electric field effect mold metal insulator layer semi-conductor transistor. It separates into a drive circuit field and a pixel field, respectively, and is formed in them. And this electric field effect mold metal insulator layer semi-conductor transistor In a semiconductor device including the gate electrode formed through gate dielectric film on this semi-conductor layer, the source field formed in this semi-conductor layer, a drain field, and the channel formation field between the source and a drain field This integrated circuit is a semiconductor device characterized by including a heat release control means to control generation of heat resulting from this integrated circuit.

[Claim 22] It is the semiconductor device which the gate length of the electric field effect mold metal insulator layer transistor of this pixel field makes it longer among many electric field effect mold metal insulator layer transistors of this drive circuit field than the minimum gate length in a semiconductor device according to claim 21, and is characterized by controlling generation of heat resulting from the electric field effect mold metal insulator layer transistor of this pixel field.

[Claim 23] The semiconductor device characterized by controlling generation of heat which originates in the electric field effect mold metal insulator layer transistor of this pixel field by being thin and making deep the impurity atom concentration profile of the source field of the electric field effect mold metal insulator layer transistor of this pixel field, and a drain field by the side far from this channel near [channel] this in a semiconductor device according to claim 21.

[Claim 24] It is the semiconductor device which makes it small whether the width of face of the gate of the electric field effect mold metal insulator layer transistor of this pixel field is the same than the minimum gate width among many electric field effect mold metal insulator layer transistors of this drive circuit field in a semiconductor device according to claim 21, and is characterized by controlling

generation of heat resulting from the electric field effect mold metal insulator layer transistor of this pixel field.

[Claim 25] A drive circuit field and a pixel field are formed on one substrate. This drive circuit field The integrated circuit formed in the semi-conductor layer is included. This pixel field The switching transistor formed in the scan electrode, the signal electrode and this scan electrode and the pixel electrode arranged by the intersection of this signal electrode, and the semi-conductor layer is included. Light valve equipment characterized by arranging the heat dissipation means for radiating heat to one [this] substrate in the heat generated in this drive circuit field in the light valve equipment with which the electrode was formed on the substrate on another side, and the electro-optics-ingredient was pinched between the substrates of this one side and this another side.

[Claim 26] It is light valve equipment which one [this] substrate consists of a compound substrate with which support substrate adhesion of the semi-conductor single crystal layer was carried out through adhesives in light valve equipment according to claim 25, and is characterized by this heat dissipation means being the heat-conduction layer arranged in either between this semi-conductor single crystal layer and this support substrate on this integrated circuit.

[Claim 27] It is light valve equipment characterized by being the thin film layer in which this heat-conduction layer contains any one of the nitriding aluminum, the oxidation aluminum, a metal, and the carbon in light valve equipment according to claim 26.

[Claim 28] It is light valve equipment characterized by forming this heat-conduction layer near this integrated circuit at least in light valve equipment according to claim 26.

[Claim 29] Light valve equipment with which an insulating layer is embedded in the semi-conductor layer of this pixel field, and the semi-conductor layer of this drive circuit field is characterized by being a heat dissipation means for radiating heat in the heat generated at the time of a drive in light valve equipment according to claim 25.

[Claim 30] Light valve equipment characterized by removing a part or all of the semi-conductor layer under this insulating layer, arranging the substrate of this another side in the removal section of this semi-conductor layer in light valve equipment according to claim 25, and arranging this electro-optics-ingredient between the substrates of this one side and this another side.

[Claim 31] It is light valve equipment characterized by this semi-conductor layer consisting of single crystal silicon, polycrystalline silicon, or amorphous silicon in light valve equipment according to claim 25.

[Claim 32] A drive circuit field and a pixel field are formed on one substrate. This drive circuit field The integrated circuit which consists of the electric field effect mold metal insulator layer semi-conductor transistor formed in the semi-conductor layer is included. This pixel field A scan electrode, a signal electrode, and this scan electrode and the pixel electrode arranged by the intersection of this signal electrode, In the light valve equipment with which the electrode was formed in another side on the substrate, and the electro-optics-ingredient was pinched between the substrates of this one side and this another side including the switching transistor which consists of the electric field effect mold metal insulator layer semi-conductor transistor formed in the semi-conductor layer This electric field effect mold metal insulator layer semi-conductor transistor The gate electrode formed through gate dielectric film on this semi-conductor layer, the source field formed in this semi-conductor layer, Light valve equipment characterized by including a heat release control means to control generation of heat resulting from this electric field effect mold metal insulator layer semi-conductor transistor, including the channel formation field between a drain field, and the source and a drain field.

[Claim 33] It is light valve equipment which the gate length of this switching transistor makes it longer among many electric field effect mold metal insulator layer transistors of this drive circuit field than the minimum gate length in light valve equipment according to claim 32, and is characterized by controlling generation of heat resulting from this switching transistor.

[Claim 34] Light valve equipment characterized by controlling generation of heat which originates in this switching transistor by being thin and making deep the impurity atom concentration profile of the source

field of this switching transistor, and a drain field by the side far from this channel near [channel] this in light valve equipment according to claim 32.

[Claim 35] It is light valve equipment which makes it small whether the width of face of the gate of this switching transistor is the same than the minimum gate width among many electric field effect mold metal insulator layer transistors of this drive circuit field in light valve equipment according to claim 32, and is characterized by controlling generation of heat resulting from this switching transistor.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semiconductor device and its manufacture approach. Moreover, this invention relates to the substrate equipment for a drive of a monotonous mold light valve used for a direct viewing type display, a projection mold display, etc.

[0002] It is related with the semiconductor integrated circuit substrate equipment with which the pixel electrode group, the switching device group, and the drive circuit element group were formed in more detail on the semi-conductor silicon single crystal film on the electric insulation matter. This substrate equipment is built into a liquid crystal panel in one, and constitutes the so-called active-matrix equipment.

[0003] Especially this invention relates to the semiconductor device which has the structure where the temperature rise of a semiconductor device is not produced by missing the heat to the exterior of a semiconductor device, even if it suppresses generating of the heat in a semiconductor device as much as possible or heat occurs.

[0004]

[Description of the Prior Art] Conventionally, active-matrix equipment was made by forming an amorphous silicon or polycrystalline silicon on the electric insulation matter, for example, a transparence glass substrate, or a transparence quartz substrate, and forming pixel electrode groups, switching device groups, and all the drive circuit element all [a part or] on it further. However, the attempt which forms said pixel electrode groups, switching device groups, and all the drive circuit element groups on the semi-conductor silicon single crystal film on the electric insulation matter was not accomplished.

[0005] The semi-conductor silicon on the electric insulation film is called SOI (Silicon On Insulator), and attracts attention in recent years as a semiconductor device which can be accelerated and integrated highly. Drawing 2 shows the structure section Fig. of this SOI wafer. The silicon oxide whose 21 is a single crystal silicon substrate with a thickness of 500-1000 microns and whose 22 is the electrical insulator of a 100A - about several microns thickness number, and 23 are the single crystal silicon of a 100A - about several microns thickness number.

[0006] For the semiconductor integrated circuit made from the SOI wafer, since the single-crystal-silicon layer 23 on the electric insulation film 22 is very thin, especially an integrated circuit is a complementary-type MIS transistor (complementary-type metal and insulating material transistor.). the following and complementary type MIS It abbreviates to Tr. it is -- a case -- between the source and a substrate, between a drain and a substrate, and between the gate and a substrate -- electric capacity is reduced, and the advantage to which improvement in the speed of an integrated circuit is attained, and when an electrical insulator 22 exists compared with the case where an integrated circuit is formed, on the conventional single crystal silicon wafer, the component isolation region between transistors can be made very narrowly, and it has the advantage to which high integration becomes possible.

[0007] Drawing 3 (a) The creation approach of the conventional insulator layer top single crystal silicon of having used the lamination method of single crystal silicon and single crystal silicon for - (d) is shown. Single crystal silicon 301 is oxidized thermally in drawing 3 (a), and it is silicon oxide SiO₂. A layer 302 is formed.

[0008] SiO₂ prepared by drawing 3 (a) in drawing 3 (b) and (c) With silicon and other single crystal silicon 303 are made to rival in an elevated-temperature condition.

[0009] It sets to drawing 3 (d) and is SiO₂. The silicon 301 formed in the front face is made thin in thickness of several microns or less by polish or etching. As shown in drawing 3 (d), the structure of the conventional SOI had the common case where SiO₂ 302 1 layer exists between the thick single crystal silicon 303 and the thin single crystal silicon 301.

[0010] Since an insulator layer 302 exists in a SOI wafer immediately under the thin single crystal silicon 301 with which an integrated circuit is formed, it does not escape to the thick single crystal silicon 303 of half-conductivity which has the heat generated according to the current which flows while the integrated circuit is operating under an insulator layer 302, but heat will collect on the thin single-crystal-silicon layer 301, and will raise the temperature of the thin single-crystal-silicon layer with the passage of time.

[0011] An integrated circuit is a complementary type MIS. If transistor size is made small for high integration when formed of Tr, the current which flows in a transistor will increase and will become large [the degree of a temperature rise].

[0012] When a temperature rise arises in a thin single-crystal-silicon layer, in the gate dielectric film of an MIS transistor, it will become easy to generate many trapping levels of a carrier, fluctuation of transistor characteristics will be produced, and the dependability of an integrated circuit will be spoiled further. Drawing 4 is the structure section Fig. showing other examples of the conventional semiconductor device. The structure section Fig. of drawing 4 shows the metal, the oxide film, and the semi-conductor electric field effect mold transistor (it abbreviates to MOS Tr henceforth) of the N type formed in the polycrystalline silicon on an insulating substrate (it abbreviates to Poly-Si henceforth.).

[0013] The source with which 401 consists of about [1×10^{19} to $1 \times 10^{20} \text{cm}^{-3}$] three high-concentration N type impurity, respectively as for transparence substrates, such as glass or a quartz, and 402 and 403 and a drain, and 404 are P well fields which contain the impurity of about [$1 \times 10^{16} \text{cm}^{-3}$] three thin concentration, hardly including an impurity.

[0014] The source 402, the drain 403, and the P well 404 are formed into Poly-Si. silicon oxide Si O₂ which 405 and 406 oxidized Poly-Si containing the source 402, a drain 403, and the P well 404, and was formed it is . These two silicon oxide Si O₂ Si O₂ of inside 405 NMOS It becomes gate dielectric film of Tr.

[0015] 407 is Poly-Si in which about [$1 \times 10^{20} \text{cm}^{-3}$] three high-concentration N type impurity is contained, and is MOS. It becomes the gate of Tr. N-channel MOS Tr is formed from the source 402, a drain 403, the P well 404, gate dielectric film 405, and the gate 407. 408 is the middle insulator layer which deposited and formed silicon oxide, and 409 shows the drain electrode with which 410 similarly consists the source electrode which consists of aluminum of aluminum. The middle insulator layer 408 is removed in the part where the part and the drain electrode 410 with which the source electrode 409

contacts the source 402 contact a drain 403. 411 is passivation film which consists of a silicon nitride or silicon oxide.

[0016] The transparency insulating substrate 401 which is in the N-channel MOS Tr bottom too also in the conventional semiconductor device with the cross-section structure shown in drawing 4 is an insulator, and N-channel MOS. N-channel MOS by which the middle insulator layer of 408 with Tr bottom was also formed into Poly-Si since both the passivation film of 411 was also insulator layers The heat generated when a current flows to Tr has structure which cannot escape easily out of Poly-Si.

[0017] The heat generated when a current flows in a transistor since the transistor structure mist beam transistor bottom of the amorphous silicon (it abbreviates to a-Si henceforth) formed on the transparency insulating substrate mainly used for the display device is an insulating substrate and the bottoms are insulator layers, such as passivation, although not shown in a drawing is the bank and a cone in a transistor, without getting off on the outside of a transistor.

[0018] In recent years, in the integrated circuit currently formed on single crystal silicon, the transistor (it abbreviates to Tr henceforth.) size which constitutes the integrated circuit is small every year. For example, when an integrated circuit consists of a complementary-type metal, an oxide film, and a semiconductor transistor (it abbreviates to CMOS Tr henceforth.), 1 micrometer or less is already realized and, recently, as for the die-length dimension of Tr, the die-length dimension of 0.2–0.3 micrometers is going to be realized further.

[0019] Drawing 5 shows the structure section Fig. of the conventional semiconductor device. Drawing 5 is N-channel MOS formed in single crystal silicon. The structure section Fig. of Tr is shown. The single-crystal-silicon layer to which 501 changes from the P type impurity of about $[1 \times 10^{16} \text{cm}^{-3}]$ three thin concentration, The gate which consists of Poly-Si in which, as for the source with which 502 and 503 consist of about $[1 \times 10^{20} \text{cm}^{-3}]$ three high-concentration N type impurity, respectively, a drain, and 504, gate dielectric film is contained in, and, as for 505, about $[1 \times 10^{20} \text{cm}^{-3}]$ three high-concentration N type impurity is contained, The middle insulator layer which consists of silicon oxide for 506 to prevent the short-circuit between the gate 505 and the aluminum wiring 507, 508, the aluminum which has connected 507 to the source 502 electrically, the aluminum which has connected 508 electrically [it is the same and] to a drain 503, 509 shows the passivation film which consists for example, of a silicon nitride. It sets to drawing 5 and is N-channel MOS. Tr consists of the single-crystal-silicon layer 501, the source 502, a drain 503, gate dielectric film 504, and the gate 505.

[0020] die-length L of the gate 505 -- 0.5 micrometers or less -- short -- **** -- it is alike, and takes, and the current which flows between the source 502 and a drain 503 increases, consequently the temperature of the single-crystal-silicon layer 501 rises. N-channel MOS The heat generated within Tr gets across also to the aluminum layers 507 and 508, when the source 502 and a drain 503 have connected with aluminum 507 and 508 electrically, respectively. However, since it was the insulator layer which is inferior to the thermal conductivity of a silicon nitride or silicon oxide in the passivation film on an aluminum layer conventionally, the heat which got across to the aluminum layers 507 and 508 could not be escaped in the air of the outside of the passivation film, but the temperature of the field in which Tr is formed has risen.

[0021] Thus, if Tr size becomes small, the current which flows to that Tr will increase. For this reason, the current which flows to the whole integrated circuit is very large compared with conventional it. Consequently, the phenomenon in which go up and the temperature of an integrated circuit rises has produced the heat generated in an integrated circuit. It is MOS when a temperature rise arises in the single-crystal-silicon layer in which the integrated circuit is formed. In the gate dielectric film of Tr, it will become easy to generate much capture ranking of a carrier, fluctuation of transistor characteristics will be produced, and the dependability of an integrated circuit will be spoiled further.

[0022] Furthermore, it has the silicon single crystal thin film device formative layer through a binder layer conventionally on an insulating support substrate, the semi-conductor substrate of structure with an insulating layer and the semi-conductor substrate for light valves carry out on said silicon single

crystal thin film device formative layer, and it is *****.

[0023]

[Problem(s) to be Solved by the Invention] When carrying out long duration actuation of the Tr formed in the single crystal silicon on an insulating substrate (i.e., when a long duration current flows), the temperature of the single crystal silicon of the part where a current flows for the heat generated when a current flows rises. As long as the generated heat cannot escape easily and a current is continuing flowing since the thickness of the single crystal silicon of half-conductivity is thin, and since the perimeter of thin single crystal silicon is surrounded with an electrical insulator or air when the temperature of the thin single-crystal-silicon film in an electric insulation lifter rises, temperature continues rising.

[0024] At the text, since it is easy, it is MIS. Most general metal, oxide film, and semi-conductor transistor also in Tr (it abbreviates to MOS Tr) are taken for an example, and is explained after this. It is MOS below. All the things for which Tr is mentioned as an example and explained are MIS. It is applied also to Tr.

[0025] Drawing 6 is MOS formed on the substrate which has the thin single-crystal-silicon layer 602 with a thickness of 0.1-several micrometers on the quartz 601 of 100-1000 micrometers of thickness numbers. The sectional view of Tr is shown. 603 and 604 are MOS, respectively. It is the gate where the source of Tr, a drain, and 605 consist in a well field, and gate oxide and 607 consist of Poly-Si in 606. 608 is MOS. It is the channel which is the current path of Tr. Although omitted in drawing 6, the upper part of the source 603, a drain 604, and the gate 607 is covered with insulating materials, such as silicon oxide and a silicon nitride. Moreover, the bottom of the thin single-crystal-silicon layer 602 is a quartz which is an electrical insulator too. For this reason, if a current flows to the channel 608 which is a current path and heat occurs, since the channel 608 is surrounded by the electric insulation matter of the electric insulation film of upside silicon oxide or a silicon nitride, or the quartz 601 under the single-crystal-silicon layer 602, this heat cannot escape easily and it will raise about 608-channel temperature.

[0026] Drawing 7 is MOS formed in the single-crystal-silicon layer of an electric insulation lifter. Other examples of the sectional view of Tr are shown. 701 shows the silicon oxide of a 1000A - several micrometers thickness number, and 702 shows a thin single-crystal-silicon layer with a thickness of 0.1-several micrometers. Into the thin single-crystal-silicon layer 702, a well 703, the source 704, and a drain 705 are formed, gate oxide 706 and the gate 707 which consists of Poly-Si are formed, and it is MOS. Tr is formed.

[0027] The interlayer insulation film with which 709 consists of silicon oxide, and 710 are metal aluminum, and are separately connected to the source 704 and a drain 705. As for the passivation film with which 711 consists of a silicon nitride, and 712, adhesives with a thickness of several micrometers and 713 are the glass substrates of about 100-1000 micrometers of thickness numbers.

[0028] It also sets to drawing 7 and is MOS. If a current flows to the channel 708 used as the current path of Tr, the heat which generated the bottom by the channel again when a current flowed since it was further surrounded by adhesives 712 and the insulating material of glass substrate 713 grade, silicon oxide 709, the passivation film 711, and cannot escape easily to the silicon oxide 701 whose thin single-crystal-silicon layer 702 is an insulator layer about the bottom, and the temperature of the channel section will rise to it.

[0029] By the way, with the semiconductor device for light valve substrates in which the drive circuit for driving the pixel switching transistor group (it abbreviating to a pixel Sw-Tr group below) and this pixel Sw-Tr group for carrying out selection electric supply to a pixel electrode is formed, pixel Sw-Tr is MOS. When are formed of Tr and carrying out selection actuation of a certain pixel Sw-Tr, the about [15V] high voltage is applied to the gate electrode and drain electrode of that Sw-Tr.

[0030] MOS formed on single crystal silicon at this time Tr is P-channel MOS. It is N-channel MOS in case of Tr. A very large current flows in case of Tr. For this reason, the channel section of Sw-Tr formed on the thin single crystal silicon of an electric insulation lifter becomes an elevated temperature.

[0031] Drawing 8 is N-channel MOS formed in the thin single-crystal-silicon layer 802 on an electrical insulator 801. The structure section Fig. of Tr is shown. In 801, a thin single-crystal-silicon layer with a thickness of about 0.1–2 micrometers and 803 show P well, and, as for silicon oxide with a thickness of 0.1–several micrometers and 802, 804 and 805 show the source and a drain, respectively. The gate dielectric film with which 806 consists of silicon oxide, and 807 show the gate which consists of Poly-Si. 808 is MOS. It is a channel used as the current path of Tr.

[0032] In drawing 8, the source 804 is grounded and the high voltage of 15V is applied to a drain 805 and the gate 807. Since the gate 807 and a drain 805 are these potentials at this time, on both sides of gate dielectric film 806, electric field are not produced between gate drains. On the other hand, high electric field join the gate dielectric film of a between [the gate 807 and the sources 804 (the source near / i.e., /)]. A new problem arises from an elevated temperature and two events of high electric field. That is, the trap level which captures the carrier which flows a channel 808 near the source 804 occurs in large quantities. The problem that the threshold voltage (it abbreviates to gate voltage in case a current begins to flow between source drains, and following V_t) of MOSTr of this N type increases gradually arises as the time amount to which the current is flowing when the carrier which is flowing is caught in large quantities by these traps is formed. N-channel MOS The carrier which is flowing in Tr is an electron and the carrier caught by the trap is also an electron. P-channel MOS The same also in Tr, the carrier which is flowing is a hole and the carrier caught by the trap is also a hole. Therefore, P-channel MOS V_t fluctuation in Tr is changed in the direction where the absolute value of V_t becomes high. It is because gate voltage with a more high absolute value is needed in order to reverse the well layer [directly under] of gate dielectric film 806 for forming a channel, if the carrier which is flowing is caught by the trap of gate dielectric film.

[0033] By the way, it is MOS to Poy-Si of an electric insulation lifter. It is MOS by which the current value was formed in single crystal silicon even if it formed Tr and applied the about [15V] high voltage to the gate and drain. Compared with the current value of Tr, the temperature of the part where the current is flowing few far does not so much go up, either. Therefore, the phenomenon in which the above mentioned V_t fluctuation takes place is MOS to the thin single-crystal-silicon layer of an electric insulation lifter. It is the thing of the proper produced when Tr is formed and the high voltage joins the gate and a drain.

[0034] Moreover, in the semiconductor device for light valve substrates, since liquid crystal is driven, the high voltage is required for the electrical potential difference applied to the Sw-Tr group of the pixel section, and it becomes more than 10V, 15V [for example,]. On the other hand, the electrical potential difference which joins the transistor of the great portion of drive circuit section is a comparatively low electrical potential difference not more than 5V. In this case, the electric field added between the gate sources of the transistor of most which constitutes a drive circuit serve as the abbreviation 1/3 of electric field added between the gate sources of Sw-Tr of the pixel section, and it can be said that it is very small.

[0035] The amount of the trap level of the carrier generated in gate dielectric film is related to the magnitude of the elevated temperature of the channel section, and the electric field between the gate sources, as mentioned above. Only the elevated temperature of the channel section does not so much generate a trap level only by one of the two factors, for example. The channel section is an elevated temperature, and the trap consistency generated in gate dielectric film becomes large, so that the electric field between the gate sources are large.

[0036] Therefore, with the transistor of the great portion of drive circuit section with the low electric field between the gate sources, V_t fluctuation of the transistor of the trap level in gate dielectric film is not large so mostly, either. In the semiconductor device for light valve substrates with which the drive circuit for driving the pixel Sw-Tr group and said pixel Sw-Tr group for carrying out selection electric supply to a pixel electrode is formed on the single crystal silicon on the electric insulation matter High electric field are added between gate drains, and a high current flows in a channel. When the

temperature of the channel section rises, and high electric field are added between the gate sources and the trap level of a carrier occurs in gate oxide, the main transistors which V_t fluctuation produces are a part of transistors which constitute a drive circuit, and all Sw-Tr of the pixel section.

[0037] This invention aims at suppressing small V_t fluctuation of pixel Sw-Tr by which a high electrical potential difference joins the above-mentioned thin single-crystal-silicon layer of an electric insulation lifter at the gate and a drain in the semiconductor device for light valve substrates with which the drive circuit for driving the pixel Sw-Tr group and said pixel Sw-Tr group for carrying out selection electric supply to a pixel electrode is formed as much as possible.

[0038] Moreover, although it tries to prepare a light-shielding film etc. so that light may not hit pixel Sw-Tr directly, a part of light turns around a light-shielding film, is crowded, and irradiates pixel Sw-Tr in many cases. The carrier generated when light hits causes leakage current. this invention -- V_t of said pixel Sw-Tr carried out It is also making to suppress fluctuation, simultaneously to make this optical leakage current small into the purpose.

[0039] This invention suppresses the fault of the temperature rise produced in the transistor formed into Poly-Si formed the inside of the single crystal silicon with which the integrated circuit which consists of Tr which was described by the term of a Prior art, and which was made detailed is formed, and a SOI wafer, and on the insulating substrate, and a-Si, and aims at offering semiconductor devices, such as a reliable integrated circuit and a display device.

[0040] Furthermore, when a MOS transistor was formed in a mist beam and the silicon single crystal thin film device formative layer in the semi-conductor substrate of the conventional structure as shown in drawing 9 , and the semi-conductor substrate for light valves, actuation of a MOS transistor showed that there was a trouble that the threshold of a MOS transistor will rise.

[0041] In drawing 9 , in 901, an insulating layer and 903 show an adhesives layer and, as for the silicon single crystal thin film device formative layer and 902, 904 shows an insulating support substrate. In the semi-conductor substrate of the structure shown in drawing 9 about this problem, and the semi-conductor substrate for light valves One front face of the silicon single crystal thin film device formative layer 901 Since the bad thermally conductive thick insulating support substrate 904 was touched through the adhesives layer 903 and one front face is in contact with bad thermally conductive air too through the insulating layer 902, With the electrical potential difference on which the heat generated by actuation of a MOS transistor was accumulated into the silicon single crystal thin film device formative layer, and was impressed to the drain field of heat and a MOS transistor The trap of the majority carrier will be deeply carried out to the gate dielectric film of a MOS transistor, consequently the threshold rise of a MOS transistor is caused.

[0042] It is effective to miss promptly, without storing up the heat generated by actuation of a MOS transistor into the silicon single crystal thin film device formative layer as a solution of the above-mentioned trouble. This invention cancels the above-mentioned technical problem, also by prolonged actuation, controls the threshold rise of a MOS transistor and aims at offering the semi-conductor substrate which can form the MOS mold integrated circuit excellent in dependability, and the semi-conductor substrate for light valves.

[0043] It is as follows when the technical problem which this invention stated above tends to solve is summarized.

(1) Suppress V_t fluctuation of pixel Sw-Tr small as much as possible in the semiconductor device for light valve substrates with which the drive circuit for driving the pixel Sw-Tr group and said pixel Sw-Tr group for carrying out selection electric supply at a pixel electrode is formed in the thin single-crystal-silicon layer of an electric insulation lifter.

[0044] (2) Stop the optical leak of said Sw-Tr small.

(3) Suppress the temperature rise in the single crystal silicon by the heat generated when Tr formed into the single crystal silicon of an electric insulation lifter, Poly-Si, and a-Si operates, Poly-Si, and a-Si.

[0045] (4) Suppress the temperature rise in the single crystal silicon by the heat generated when Tr

which was formed into single crystal silicon, and which was made detailed operates.

(5) Miss the heat generated within a single-crystal-silicon thin film device layer in the semi-conductor substrate or the semi-conductor substrate for light valves which has an insulating layer on the single-crystal-silicon thin film device formative layer through an adhesives layer on an insulating support substrate.

[0046]

[Means for Solving the Problem] This invention adopts the following means to each of five above mentioned technical problems.

Solution means ** MOS to a technical problem (1) The die length of the gate of pixel Sw-Tr which consists of Tr is MOS of a large number which form a drive circuit. It is longer than the die length of the minimum gate among Tr(s).

[0047] ** Pixel Sw-Tr is thin at a side with the impurity atom concentration profile of the source and a drain near a channel, and it has deep dual structure (LDD structure : LightlyDoped Drain) by the side far from a channel.

The width of face of the gate of solution means pixel Sw-Tr to a technical problem (2) is [whether it is the same than the width of face of the minimum gate of the MOSTr(s) of a large number which form the drive circuit, and] small.

[0048] When forming an integrated circuit in the solution means ** single crystal silicon to a technical problem (3), it forms in the field which is easy to miss heat for some circuits among integrated circuits, i.e., the single-crystal-silicon field which is not embedding the electric insulation film, and the circuit where frequency of operation is low and which needs a high speed further is formed in the thin single-crystal-silicon layer on the electric insulation film small [other power consumption].

[0049] ** In the semi-conductor film (single crystal silicon, Poly-Si, a-Si) of an insulating lifter, form an insulator layer from one thermally conductive outstanding layer of alumimium nitride (AlN) layers and thermally conductive outstanding alumimium nitride layer, and two or more layers of other insulator layers in order to miss the heat with which the thin semi-conductor film is covered. Furthermore, in some parts of the thin semi-conductor film, the thin semi-conductor film and an alumimium nitride layer are contacted. Or wiring and the alumimium nitride layer which consist of metal wiring in the integrated circuit formed in the thin semi-conductor membrane layer or Poly-Si are contacted locally.

[0050] Furthermore, the passivation film is formed, thermally conductive high insulator layer, for example, alumimium nitride.

The solution means passivation film to a technical problem (4) is formed, thermally conductive high insulator layer, for example, alumimium nitride.

[0051] It sticks to the insulating layer which touches the solution means silicon single crystal thin film device formative layer to a technical problem (5), and the layer which consists of the ingredient excellent in thermal conductivity is formed. Or it is characterized by having stuck to the adhesives layer which touches the silicon single crystal thin film device formative layer, and adding a heat dissipation function by forming the layer which consists of the ingredient excellent in thermal conductivity.

[0052]

[Function] The following operations arise with the solution means adopted to each of five above mentioned technical problems.

Although V_t will be changed in MOS-Tr formed in the thin single-crystal-silicon layer of the operation electric insulation lifter by the technical problem (1) and the solution means against (2) if the high voltage is applied to the gate and a drain for a long time, the magnitude of this V_t fluctuation is MOS. It is so large that the electric field between source drains are so large that the current value which flows the inside of Tr is large.

[0053] By lengthening gate length of pixel Sw-Tr by which the high voltage joins the gate and a drain, or making structure of the source and a drain into LDD structure, the electric field between source drains can be suppressed low, and the current value which so flows between source drains can be held down

small. Consequently, V_t fluctuation of pixel Sw-Tr which the high voltage joins can be suppressed small. Moreover, it not only can make small area which heat generates, but it can suppress low the leakage current produced by the exposure of light by making gate width of pixel Sw-Tr small, and making area of Sw-Tr small as much as possible.

[0054] The semiconductor integrated circuit of this invention with a configuration by solution means ** to a technical problem (3) which carried out the operation above-mentioned By forming on the single crystal silicon of the field which whose frequency of operation is high and does not have the electric insulation film in the high circuit of power consumption The heat generated in the circuit can be made easy to miss, and frequency of operation is low, by [with little power consumption] forming the circuit which moreover needs a high speed on the thin single crystal silicon on the electric insulation film, the reliable engine performance was stabilized and a high-speed integrated circuit can be obtained.

[0055] In the semiconductor device of this invention with the structure by solution means ** to a technical problem (3) which carried out the operation above, the heat generated with the integrated circuit formed in the semi-conductor membrane layer on an insulator layer prevents the temperature of the semi-conductor membrane layer on propagation and an insulator layer rising to the outstanding aluminum nitride of the thermal conductivity which forms a part or all of an insulator layer.

[0056] Furthermore, since the passivation film formed in the upper part of the semi-conductor film is excellent in thermal conductivity, it has the structure where heat tends to escape also from the upper part of the semi-conductor film, and prevents the temperature of the semi-conductor film on an insulator layer rising.

Since the passivation film formed in the upper part of the integrated circuit formed in the single crystal silicon substrate like the operation by the solution means against a technical problem (4) is excellent in thermal conductivity, it has the structure where heat tends to escape also from the upper part of an integrated circuit, and has structure which can miss easily the heat generated with an integrated circuit to the exterior only from the single crystal silicon substrate.

[0057] Since the heat generated from the MOS mold integrated circuit formed in the silicon single crystal thin film device formative layer by using the semi-conductor substrate of operation this invention by the solution means against a technical problem (5) and the semi-conductor substrate for light valves can be missed promptly, also by prolonged actuation, the threshold rise of a MOS transistor can be controlled and the MOS mold integrated circuit excellent in dependability can be formed.

[0058]

[Example] Hereafter, the detail of this invention is explained with reference to a drawing. The example of a technical problem (1) and this invention to (2) is explained first. Drawing 10 is the usual MOS of an electric insulation lifter. The cross-section structure of Tr is shown. P well to which 1001 changes from electrical insulators, such as silicon oxide or a quartz, and the P type impurity of concentration with 1002 [low / the thin single-crystal-silicon film with a thickness of about 0.1–2 micrometers and 1003], the source which consists of the N type impurity of the high concentration 1004 and whose 1005 are P well and an opposite conductivity type and a drain, and 1006 express gate oxide and the gate where 1007 consists of the Poly-Si film.

[0059] If it adds to Tr which shows an electrical potential difference as shown in drawing 8 to drawing 10 for a long time, the V_t of Tr will change, as time amount passes, and shown in drawing 11 . Drawing 12 is MOS of the LDD structure of an electric insulation lifter. The cross-section structure of Tr is shown. In drawing 12 R> 2, since it is easy, drawing 10 and a corresponding each part name are omitted. The source with which 1201 and 1202 consist of the N type impurity of about [about $1 \times 10^{20} \text{cm}^{-3}$] three high concentration, a drain, and 1203 and 1204 show the source and the drain which consist of the N type impurity of about [about one to $5 \times 10^{18} \text{cm}^{-3}$] three comparatively thin concentration. 1205 is a side spacer which consists of the silicon oxide formed in order to make LDD structure. Before formation of this side spacer 1205, the source and drains 1203 and 1204 with comparatively thin concentration are formed of an ion implantation, and the source and the drains 1201 and 1202 of high concentration are

formed of an ion implantation after formation of this side spacer 1205. Moreover, 1206 shows the gate. [0060] By the way, the die length of the gates 1007 and 1206 is shown to drawing 10 and drawing 12 by L. even when the electrical potential difference applied between the source and a drain is the same, electric field become small, and a current becomes small, so that die-length L of this gate is long. Moreover, the usual MOS of drawing 10 MOS of the structure of Tr, and the LDD structure shown in drawing Even if die-length L of the gate is the same, when the electrical potential difference same between the source of high concentration and a drain is applied in Tr, the source 1203 and the drain 1204 of comparatively thin concentration in LDD structure work as resistance, and it is MOS of LDD structure. MOS usual in the direction of Tr Compared with Tr, the flowing current value becomes low. [0061] MOS formed into the thin single crystal silicon on the electric insulation film When an electrical potential difference as shown in drawing 8 is applied to Tr for a long time, V_t fluctuation as shown in drawing 11 is carried out. At this time, it is time amount t_1 . V_t which can be set The value of fluctuation is set to ΔV_t . MOS of the usual structure shown in drawing 10 MOS of the LDD structure shown in Tr and drawing 12 In Tr, the value of ΔV_t when changing various die-length L of the gate is shown in drawing 13 . For 1302 of MOSTr of LDD structure, 1301 is the usual MOS. The value of ΔV_t of Tr is shown.

[0062] It is the usual large and MOS as, as for ΔV_t , L becomes short so that clearly from drawing 13 . It compares with Tr and is MOS of LDD structure. It turns out that the Tr is far smaller. This property is MOS of N type. It is MOS of P type also at Tr. In both cases, it is applied also by Tr.

[0063] Drawing 14 is the perspective view showing the configuration of the semiconductor device for light valve substrates which is active-matrix mold equipment. The silicon oxide whose 1401 is an electric insulation substrate, and 1402 are the thin semi-conductor single-crystal-silicon film on the electric insulation substrate 1401. 1403 is a drive electrode for driving each pixel, and opaque single crystal silicon does not remain in the bottom of this drive electrode 1403. 1404 is pixel Sw-Tr for performing selection electric supply to the drive electrode of each pixel. This pixel Sw-Tr is MOS. It consists of Tr. 1405 shows the signal line connected with the drain electrode of each pixel Sw-Tr1404. 1406 shows the scanning line connected with the gate electrode of each pixel Sw-Tr1404. X driver with which 1407 gives a signal to each signal line 1405, and 1408 show Y driver who gives a signal to each scanning line 1406. The drive electrode 1403 of each pixel, pixel Sw-Tr1404, a signal line 1405, the scanning line 1406, the X driver 1407, and the Y driver 1408 are formed on the semi-conductor single-crystal-silicon film 1402 through the inside of the semi-conductor single-crystal-silicon film 1402, or an insulator layer. Moreover, the X driver 1407 and the Y driver 1408 are N-channel MOS at least. Tr and P-channel MOS Complementary MOS which consists of Tr It consists of Tr (CMOS) circuit.

[0064] In order to suppress as small as possible V_t fluctuation of pixel Sw-Tr produced in pixel Sw-Tr formed in the thin single crystal silicon on the electric insulation film since the about [15V] high voltage is applied to a gate electrode and a drain electrode, this invention MOS MOS of a large number which form the drive circuit which consists of the X driver 1407 who shows the die length of the gate of pixel Sw-Tr which is Tr to drawing 14 for driving pixel Sw-Tr, and the Y driver 1408 It is characterized by making it longer among Tr(s) than the minimum gate die length. For example, MOS of a large number which form a drive circuit When the die length of the gate of inner min of Tr is 2 micrometers, the gate length of pixel Sw-Tr may be 4 thru/or 5 micrometers. Furthermore, it is MOS of LDD structure about pixel Sw-Tr formed on the thin single crystal silicon on the electric insulation film. Even if the high voltage of 15V joins the gate and a drain by making it Tr, V_t fluctuation of pixel Sw-Tr becomes still smaller.

[0065] Setting to the above explanation, pixel Sw-Tr is N-channel MOS. Although Tr was mentioned as the example and has been explained, it is P-channel MOS. It does not interfere at all by Tr. P-channel MOS formed on the thin single crystal silicon of an electric insulation lifter The property shown in drawing 11 or drawing 13 is applied as it is also to Tr.

[0066] Drawing 15 shows the sectional view of pixel Sw-Tr. The silicon oxide whose 1501 is an electrical

insulator or a quartz plate, the semi-conductor single crystal silicon with a thickness of 0.1–2 micrometers with which 1502 was formed in the shape of an island on the electrical insulator 1501, and 1503 and 1504 are P-channel MOS, respectively. The source of Tr, a drain, the gate where 1505 consists of the Poly-Si film, and 1506 show the gate oxide which consists of silicon oxide. 1507 shown with a broken line expresses the boundary of the depletion layer produced when a negative electrical potential difference is applied to a drain 1507 and the gate 1505. A depletion layer is produced a top and on the right-hand side of a broken line 1507. 1508 expresses the electron and hole where 1509 and 1510 produced incident light in the depletion layer by incident light 1508. The hole 1510 generated by light is attained to a drain electrode by the electric field in a depletion layer, and serves as a drain current. On the other hand, although it will reach there if an electron has a substrate electrode in near, when there is nothing, it accumulates in the boundary of a depletion layer, and the 1507 neighborhoods, and the potential barrier between the source and a substrate is lowered, and the role which pulls out a hole from a source electrode is also kept sure enough. Thus, the electron and hole pair generated in the depletion layer by light will increase leakage current, and will carry out the duty which lowers transistor characteristics, especially an ON/OFF ratio.

[0067] The configuration of the semiconductor device for light valve substrates which is active-matrix mold equipment was shown in drawing 14 . Although omitted in drawing 14 In the equipment for active-matrix mold light valve substrates A liquid crystal layer is prepared in the bottom through the silicon oxide 1401 of the pixel section which consists of the pixel Sw-Tr group 1404 and the pixel drive electrode group 1403. Light is applied at right angles to the field of silicon oxide 1401 and the semi-conductor single-crystal-silicon film 1402, light is penetrated or intercepted by ON/OFF of each pixel Sw-Tr, and an image is made from the pixel section side in which the pixel Sw-Tr group and the pixel drive electrode group are formed from the liquid crystal layer side.

[0068] The light-shielding film for not letting light pass in the upper part or the lower part of each pixel Sw-Tr is prepared, and it is made not to apply light to pixel Sw-Tr as much as possible at this time. However, the light around which it turned from the part which does not have a light-shielding film in fact will hit pixel Sw-Tr. In explanation of drawing 15 , the leakage current by light is produced by the electron and hole pair generated when light irradiates single crystal silicon so that clearly. Therefore, what is necessary is just to make small the volume of the single crystal silicon of the pixel Sw-Tr section, in order to make small the leakage current by the light in pixel Sw-Tr.

[0069] Drawing 16 shows the top view of pixel Sw-Tr shown in drawing 15 . The gate where 1611 consists of Poly-Si, the source which consists of a P type impurity of concentration with 1612 and 1613, a drain, and 1614 show electrical insulators, such as a single crystal silicon island, silicon oxide which 1615 has under a thin single-crystal-silicon layer, or a quartz plate. [respectively high] The die length of the gate 1611 expresses the width of face of L and the gate by W.

[0070] What is necessary is just to make small the area of the source 1612 and the single crystal silicon under the gate 1611 inserted into the drain 1613, i.e., the product of L and W, in order to lessen the leakage current by the light of this pixel Sw-Tr. Since V_t of MOS-Tr formed into the single crystal silicon on the electric insulation film when the high voltage joined the gate and a drain was changed, as mentioned above, gate length L of pixel Sw-Tr had to be lengthened to some extent. Therefore, in this invention, in order to make small area of the single crystal silicon under the gate, it is characterized by making gate width of pixel Sw-Tr small as much as possible. That is, gate width of pixel Sw-Tr is characterized by being the same as it or being still smaller among MOS-Tr of a large number all over a drive circuit compared with the minimum gate width.

[0071] If gate width is small, since Tr size will also become small, even if the high voltage is built and a high current flows, the generating field of heat becomes narrow and the yield of heat also becomes small.

[0072] Drawing 17 is pixel Sw-Tr (drawing 17 (A)) of the semiconductor device for light valve substrates of this invention, and MOS of the drive circuit section. The top view of Tr (drawing 17 (B)) is shown. Setting to this drawing, 1701 and 1707 are Poly. The gate which consists of Si, the source with

which 1702 and 1708 consist of a high-concentration P type impurity layer, the drain with which 1703 and 1709 consist of the same high-concentration P type impurity layer, the source which consists of the P type impurity layer of concentration with comparatively low 1704 and 1705 and a drain, and 1706 and 1710 show electrical insulators, such as silicon oxide under a single-crystal-silicon layer, or a quartz substrate.

[0073] Pixel Sw-Tr shown in drawing 17 (A) is P-channel MOS of LDD structure so that clearly from this drawing. MOS which is Tr and is shown in drawing 17 (B) Tr is MOS of a large number which exist all over a drive circuit. It is Tr which has the minimum gate length and gate width among Tr(s).

[0074] Setting to drawing 17, the gate length and gate width of pixel Sw-Tr are MOS in L1, W1, and a drive circuit, respectively. The gate length and gate width of Tr are L2 and W2, respectively. L1 is longer than L2 and W1 is characterized by being shorter than W2. For example, when the minimum design Ruhr is set to 2 micrometers, as an example, 10 micrometers and L1 are set to 4 micrometers, and W1 is set [L2] to 2.5 micrometers for 2 micrometers and W2. Thus, it is the Vt as time amount is formed also by pixel Sw-Tr by which the high voltage joins the gate and a drain by setting up the gate length and gate width of pixel Sw-Tr, and moreover making pixel Sw-Tr into LDD structure. It hardly changes, but even if light moreover hits, it becomes possible to suppress the leakage current generated by light very few.

[0075] Drawing 1 shows one example of the light valve equipment which used the semiconductor device concerning this invention as a drive substrate, and shows the active-matrix mold liquid crystal light valve gear especially. This light valve equipment has the structure which carried out laminating adhesion of the opposite substrate 102 of each other which consists of a drive substrate 101 which consists of a semiconductor device concerning this invention, transparent glass, etc. through the spacer 103, and restoration enclosure of the liquid crystal 104 which is electrooptic material is carried out among both substrates. The drive substrate 101 has the structure which imprinted the integrated circuit formed in the silicon single crystal layer 106 grade prepared on the electrical insulator 105 to the attachment component 108 by the adhesives layer 107. In the maximum upper layer of the passivation film 109 which protects an integrated circuit, the silicon oxy-nitride RAIDO film or the silicon nitride 110 arranges, the integrated circuit is effectively protected from the moisture contained in the adhesives layer 107, or hydrogen, and degradation of an electrical property can be prevented. The drive substrate 101 is divided into the circumference driver line section 150 and the pixel section 151. Pixel Sw-Tr112 which drives the pixel electrode 111 arranged in the shape of a matrix and this is cumulatively formed in the pixel section. The circumference driver line section is covered with the light-shielding film 113 from the rear-face side. Moreover, pixel Sw-Tr112 is also covered with the light-shielding film 113 from the rear-face side.

[0076] The orientation film 114 is formed in the pixel section rear-face side of the drive substrate 101. Moreover, the common electrode 115 and the orientation film 116 are formed in the internal surface of the opposite substrate 102. Pixel Sw-Tr112 is P-channel MOS of LDD structure, as shown in drawing 1. Although it is Tr, it is N-channel MOS of LDD structure. You may be Tr. In drawing 1, it is N-channel MOS to the drive circuit section. Tr117 is drawn. the drive circuit section -- MOS of much N type and P type N-channel MOS shown in drawing 1 although there was Tr Tr117 -- MOS of these large number the die length of the gate is the shortest in Tr -- it is Tr. The gate die length of N-channel MOS Tr of the drive circuit section is L2, and is P-channel MOS of the pixel section. The gate die length of Tr is L1. L1 is longer than L2. If it does in this way, it can hardly happen and Vt fluctuation of pixel Sw-Tr which the high voltage joins can be carried out.

[0077] Moreover, MOS of a large number which are in the drive circuit section although not shown in drawing 1 The inside of Tr, the minimum gate width W2 MOS which it has Rather than Tr, the gate width W1 of pixel Sw-Tr112 is small. If it does in this way, even if light irradiates, the leakage current produced by the light of pixel Sw-Tr will become very small.

[0078] Next, the example of this invention to a technical problem (3) is explained below. The example of this invention is shown in drawing 18. The silicon oxide which is the electrical insulator by which 1801

was embedded at the single crystal silicon substrate, and 1802 was embedded in the single crystal silicon substrate 1801, and 1803 show the thin single-crystal-silicon layer on said silicon oxide 1802, respectively.

[0079] Silicon oxide 1802 has the thickness of hundreds of Å – several microns, and the thin single-crystal-silicon layer 1803 has the thickness of hundreds of Å – several microns similarly. Other examples of this invention are shown in drawing 19. The silicon oxide which is a 100Å – several microns thickness number of electrical insulators with which 1901 was embedded at the single crystal silicon substrate, and 1902 was embedded in the single crystal silicon substrate 1901, and 1903 are the thin single-crystal-silicon layers of the 100Å – several microns thickness number on silicon oxide 1902.

[0080] The circuits 1 and 1906 where 1904 was formed in the field to which the left-hand side and the electric insulation film of the single crystal silicon substrate 1901 are not embedded are the same, and the circuits 3 and 1905 where it was formed in the field to which the right-hand side and the electric insulation film of a single crystal silicon substrate are not embedded show the circuit 2 formed in the thin single-crystal-silicon layer on the electric insulation film 1902, respectively. It connects electrically, respectively and each circuits 1904, 1905, and 1906 form one integrated circuit with a certain work. The frequency of operation of the circuit 3 of the circuits 1 and 1906 of 1904 is high, and, so, its power consumption is high. However, there is no electric insulation film in the bottom of the circuit 3 of the circuits 1 and 1906 of 1904, and the generated heat escapes to the thick single crystal silicon substrate 1901 of half-conductivity of 100Å or more of thickness numbers under the circuit 3 of the circuits 1 and 1906 of 1904. For this reason, without the trapping level of a carrier occurring in the gate dielectric film of an MIS transistor, when temperature becomes high, the dependability of the transistor group which constitutes the circuit 3 of the circuits 1 and 1906 of 1904 is high, and it becomes a stable circuit.

[0081] The frequency of operation of the circuit 2 of 1905 formed on the thin single-crystal-silicon layer 1903 on the other hand is low, and it does not almost have generating of heat highly [power consumption]. For this reason, even if the electric insulation film 1902 is under the thin single-crystal-silicon layer 1903, heat does not accumulate in the thin single-crystal-silicon layer 1903. Moreover, since the circuit 2 of 1905 is made on SOI from which the rapidity of a circuit is acquired when the circuit 2 of 1905 needs rapidity, there is an advantage from which rapidity is acquired easily.

[0082] Drawing 20 shows other examples of this invention. The example of this invention shown in drawing 2020 has many places which are common in the example of this invention shown in drawing 19. Therefore, in drawing 20, explanation of the name of drawing 19 and the common parts 1901–1906 is omitted. In drawing 20, some single crystal silicon of the silicon oxide 1902 which is electric insulation film embedded to some fields of the single crystal silicon substrate 1901 is removed. 2001 and 2002 are silicon nitrides and have become a mask when removing the single crystal silicon under silicon oxide 1902. What is necessary is just to dip a single crystal silicon substrate into the potassium hydroxide solution (KOH solution) heated at 80 degrees C – 100 degrees C, when removing single crystal silicon. Silicon oxide 1902 plays the role of the etching stopper when etching single crystal silicon with a KOH solution, and also plays the role which prevents etching the thin single-crystal-silicon film 1903 on silicon oxide 1902. After removing the single crystal silicon under silicon oxide 1902, even if the silicon nitrides 2001 and 2002 remove, it is not necessary to carry out them. Moreover, 2003 and 2004 show the part where some single crystal silicon 1901 remains in the bottom of silicon oxide 1902.

[0083] Other examples of this invention are shown in drawing 21. The example of this invention shown in drawing 2121 has many places which are common in the example of this invention shown in drawing 19 and drawing 20. Therefore, in drawing 21, explanation of drawing 19 and drawing 20, the common parts 1901–1906, and the name of 2001 and 2002 is omitted.

[0084] The place where the example of drawing 21 differs from the example of drawing 20 is only that there are no 2003 and 2004 which are some single crystal silicon 1901 under the silicon oxide 1902 shown in drawing 20. That is, drawing 21 has the structure where all of the single crystal silicon 1901 under silicon oxide 1902 are removed completely.

[0085] In the example of this invention of drawing 21 , since the part where the single crystal silicon 1901 under silicon oxide 1902 was removed is large compared with the example of this invention of drawing 20 , when building some equipments of other into the removed part, it has structure which is easy to incorporate. The example of this invention is shown in drawing 22 . Drawing 22 is cross-section structural drawing of the active-matrix mold light valve equipment which is a semiconductor device of this invention. The semiconductor device of this invention of drawing 22 pastes up the transparence substrate 2223 on the semiconductor device shown in drawing 20 with adhesives, and has the structure which arranged the opposite substrate 2226 on both sides of the liquid crystal layer 2224 on the bottom of silicon oxide 2202. Each part of drawing 22 is explained to below.

[0086] 2201 is a single crystal silicon substrate which consists of a P type impurity of thin concentration (about [for example, $1 \times 10^{16} \text{cm}^{-3}$] 3), and is in the left-hand side and right-hand side of drawing 22 . The silicon oxide 2202 which is electric insulation film of a 100Å – several microns thickness number is in the center section of drawing 22 , and the single crystal silicon 2203 which consists of the N type impurity of thin concentration (about [for example, $1 \times 10^{16} \text{cm}^{-3}$] 3) is located in a line with three longitudinal directions in the shape of an island.

[0087] in order to simplify a drawing in drawing 22 -- the shape of an island -- three single-crystal-silicon layers -- it is -- respectively -- alike -- MOS per piece although the condition that Tr is formed is shown -- actual -- several 10- thousands of islands are located in a line.

[0088] 2204 is field oxide which consists of 1000Å of thickness numbers for isolation of silicon oxide formed on the single crystal silicon substrate 2201. It is MOS per piece, respectively to three silicon islands of the thin single-crystal-silicon layer on silicon oxide 2203. Although Tr is formed, each MOSTr plays the role of Sw-Tr of each pixel section of active-matrix mold equipment. Three Sw-Tr consists of the thin single crystal silicon 2203 whose thickness which consists of the N type impurity of thin concentration in common, respectively is hundreds of Å – several microns, the drain 2205 which consists of a high-concentration (about [for example, $1 \times 10^{20} \text{cm}^{-3}$] 3) P type impurity, the source 2206, gate dielectric film 2207, and the gate 2208.

[0089] 2209 is an insulator layer for preventing the transparence pixel electrode 2229 which consists of the thin PolySi film whose thickness is hundreds-2000Å, and the electric flow between the thin single-crystal-silicon layers 2203. This insulator layer is silicon oxide of 100-1000Å of thickness numbers made to deposit in chemical vapor deposition. 2210 is a middle insulator layer which consists of the silicon oxide for preventing the electric flow of the drain wire 2211 and aluminum wiring which consist of metals, such as aluminum, the gate electrode 2208, or the transparence pixel electrode 2229.

[0090] On the single crystal silicon substrate 2201 on the left-hand side of drawing 22 , it is N-channel MOS. There is Tr. The N-channel MOS Tr is formed from the source 2213 which consists of a high-concentration (about [about $1 \times 10^{20} \text{cm}^{-3}$] 3) N type impurity, a drain 2214 and gate dielectric film 2215, the gate electrode 2216, and the single crystal silicon substrate 2201 that consists of a P type impurity further. This N-channel MOS P-channel MOS which has the drain wire 2211 which consists of metals, such as aluminum connected with the drain 2214 of Tr, on silicon oxide 2202 In order to be connected with each drain 2205 of three pixel Sw-Tr which consists of Tr and to give a charge to the transparence pixel electrode 2229, the electrical potential difference is supplied. Namely, this N-channel MOS Tr has become a part of drive circuit for making pixel Sw-Tr drive, and the drive circuit is formed on the single crystal silicon substrate 2201.

[0091] Furthermore, it is N-channel MOS also on the single crystal silicon substrate on the right-hand side of drawing 22 . There is Tr. The N-channel MOS Tr is formed from the source 2217 which consists of a high-concentration (about [about $1 \times 10^{20} \text{cm}^{-3}$] 3) N type impurity, a drain 2218 and gate dielectric film 2219, the gate electrode 2220, and the single crystal silicon substrate 2201 that consists of a P type impurity further. This N-channel MOS The metal wiring 2212 of aluminum etc. is connected to the source 2217 and the drain 2218 of Tr.

[0092] N-channel MOS per piece on the single crystal silicon substrate left-hand side and on the right-

hand side of drawing 22 P-channel MOS which is three pixel Sw-Tr on the silicon oxide 2202 in Tr and a drawing center section Tr is the part which is not drawn on the drawing, finally is connected electrically and constitutes one integrated circuit with a certain function. 2221 is passivation film which consists of a silicon nitride which covers the whole integrated circuit. 2223 is transparenance substrates, such as a quartz of 100 microns – 1000 microns of thickness numbers, and is pasted up on the single crystal silicon substrate 2201 with adhesives 2222.

[0093] The liquid crystal layer 2224 is enclosed with the field surrounded by the sealant 2225 and the opposite transparenance substrate 2226 under the silicon oxide 2202 which is in the center section of drawing 2222 further in the semiconductor device of this invention of drawing 22 . The orientation film 2227 for carrying out orientation of the liquid crystal is formed in the part which touches a liquid crystal layer on the lower part of silicon oxide 2202, and the opposite transparenance substrate 2226. Moreover, the transparent common electrode 2228 which consists of ITO etc. is formed immediately on the opposite transparenance substrate 2226.

[0094] In drawing 22 , the drain wire 2211 which consists of opaque aluminum optically on three pixel Sw-Tr is arranged. however, some of sectional views which the width of face of aluminum wire is as narrow as several microns, and are shown in drawing 22 -- when the sectional view of a near side is drawn for a while, there is not a back side or the drain wire 2211 which consists of this aluminum. Since silicon oxide and the thin Poly-Si film are transparent then, all of the upper part and the lower part of the transparenance pixel electrode 2229 become transparenance. For this reason, in connection with ON/OFF of Sw-Tr of each pixel, an electrical potential difference is added or does not join the liquid crystal layer between each transparenance pixel electrode 2229 and the common electrode 2228 (i.e., the bottom of each pixel electrode). In the place where each pixel Sw-Tr turns on the light of the lamp formed in the bottom of the result 2226, for example, an opposite transparent electrode, in the place which and light turns off, light is intercepted and a picture is displayed.

[0095] Thus, in the semiconductor device of this invention shown in drawing 22 , optically under silicon oxide 2202, a pixel Sw-Tr group is optically formed on transparent silicon oxide 2202, opaque single crystal silicon is removed, and liquid crystal is built into the removed part and, moreover, it can be used as light valve substrate equipment.

[0096] And the high drive circuit section of the frequency of operation for operating a pixel Sw-Tr group has the structure where the heat generated at the time of actuation of a drive circuit tends to escape to the single crystal silicon substrate 2201, by being formed on the single crystal silicon substrate 2201. For this reason, MOS of a large number which form a drive circuit In Tr, the drive circuit has the outstanding advantage which operates to stability, without increase of the carrier trapping level by the temperature rise arising.

[0097] Drawing 23 is the sectional view showing the manufacture approach for forming the semiconductor device of this invention. As for 2301, thickness shows the resist which is about several microns, as for a single crystal silicon substrate and 2302. In the center section of the single crystal silicon substrate 2301, ***** of a resist 2302 is carried out and the ion implantation of the oxygen ion 2303 is carried out. The depth which pours in oxygen ion pours in oxygen ion with suitable acceleration energy so that it may leave the single-crystal-silicon layer of desired thickness to a single-crystal-silicon front face. Then, by heating the single crystal silicon substrate 2301 at an elevated temperature 1000 degrees C or more, the oxygen and silicon which were poured in react, silicon oxide is formed, and the semiconductor device of this invention as shown in drawing 1818 is formed.

[0098] Furthermore, other examples of this invention to a technical problem (3) are explained. Drawing 24 shows the structure section Fig. of the semiconductor device of this invention. In a single-crystal-silicon layer with thin 2401, and 2402, silicon oxide and 2403 show an alumimium nitride layer, and 2404 shows the single crystal silicon substrate of 100 micrometers – about 1000 micrometers of thickness numbers. The thin single-crystal-silicon layer 2401, silicon oxide 2402, and the alumimium nitride layer 2403 have the thickness about number 100= – number mum, respectively. The thin single-crystal-silicon

layer 2401 is on silicon oxide 2402 and the insulator layer which consists of the aluminum nitride layer 2403, and is a SOI layer.

[0099] Since there is a thermally conductive high aluminum nitride layer 2403, even if silicon oxide 2402 has the heat generated in the thin single-crystal-silicon layer 2401 when the integrated circuit formed in the thin single-crystal-silicon layer 2401 operates, it will pass silicon oxide 2402 and will escape in the aluminum nitride layer 2403 at propagation and the thick single crystal silicon substrate 2404 which finally serves as a heat sink.

[0100] This effectiveness becomes still more remarkable when the thickness of silicon oxide 2402 is thinner than the thickness of the aluminum nitride layer 2403 (for example, when it is the thickness whose thickness of aluminum nitride 2403 the thickness of silicon oxide 2402 is hundreds of Å – thousands of Å, and is 1 micrometer – several micrometers).

[0101] Incidentally, the thermal conductivity of silicon oxide, aluminum nitride, and single crystal silicon is 0.014W/cm²°K, 2.5W/cm²°K, and 1.5W/cm²°K, respectively. Therefore, the thermal conductivity of aluminum nitride is about 180 times the silicon oxide, moreover, it is larger than that of single crystal silicon, and the heat-conduction property which was excellent in aluminum nitride understands it.

[0102] It is because it is the insulator layer which is most excellent in inside although it is obtained now as an insulator layer which does not have a bad influence on a single-crystal-silicon layer when that silicon oxide 2402 exists in the semiconductor device of this invention immediately under the thin single-crystal-silicon layer 2401 in which an integrated circuit is formed considers the insulator layer which touches single crystal silicon in the boundary other than the reason silicon oxide has the property in which stability and dependability are high as an insulator layer as shown in drawing 24 .

[0103] Drawing 25 shows the structure section Fig. of the semiconductor device in which other examples of this invention are shown. Since the number and name of each part which are shown in drawing 25 are completely the same as drawing 24 , and it is easy, those explanation is omitted here. Since similarly the name of the part corresponding to the number will be the same as the name already explained also in other drawings from now on when the same number is used, the explanation is omitted.

[0104] The place where drawing 25 differs from drawing 24 is only the point that the thickness of the aluminum nitride layer 2403 is thicker than the thickness of silicon oxide 2402, in drawing 24 . When it does in this way, and the integrated circuit formed in the thin single-crystal-silicon layer 2401 as mentioned above operates, the heat generated in the thin single-crystal-silicon layer 2401 is extraordinary. Thin silicon oxide 2402 is passed very easily, and it is easy to reach the aluminum nitride layer 2403 with high thermal conductivity. Consequently, the above mentioned heat reaches the thick silicon substrate 2404 which commits a heat sink easily, and serves to prevent the rise of the temperature of the thin single-crystal-silicon layer 2401.

[0105] Drawing 26 is the structure section Fig. showing other examples of the semiconductor device of this invention. the insulator layer which is under the thin single-crystal-silicon layer 2401 which is a SOI layer in the example shown in drawing 26 -- aluminum nitride 2403 -- the much more -- it sees and comes out. In this case, the heat generated when the integrated circuit formed in the thin single-crystal-silicon layer 2401 operates escapes easily at the single crystal silicon substrate which are direct propagation and a heat sink in the aluminum nitride layer 2403 with the high thermal conductivity which touches the thin single-crystal-silicon layer 2401 directly.

[0106] Drawing 27 is the structure section Fig. showing other examples of the semiconductor device of this invention. As for a single-crystal-silicon layer with thin 2701, and 2702 and 2704, silicon oxide and 2705 show the single crystal silicon substrate with thick aluminum nitride layer and 2703. In the example of this invention shown in drawing 27 , the insulator layer under the thin single-crystal-silicon layer 2701 which is a SOI layer has 3 layer structures by which silicon oxide 2703 was sandwiched among the aluminum nitride layers 2702 and 2704. the single-crystal-silicon layer 2701 thin with the structure shown in drawing 27 , and the thick single crystal silicon substrate 2705 -- it is alike,

respectively, the aluminium nitride layer with high thermal conductivity touches, and the heat generated when the integrated circuit formed in the thin single-crystal-silicon layer operates has structure which escapes to the thick single crystal silicon substrate 2705 which is a heat sink easily.

[0107] Drawing 28 (a) – (c) is the process sectional view showing the manufacture approach of the semiconductor device of this invention shown in drawing 24 . Drawing 28 (a) The manufacture approach of – (c) uses the creation approach of the SOI wafer by the lamination method. In drawing 28 (a), it is the silicon oxide which 2801 oxidizes a single crystal silicon substrate, and 2802 oxidizes the single crystal silicon substrate 2801, and is obtained. The thickness of silicon oxide 2802 is hundreds of Å – several micrometers. Let the single crystal silicon substrate 2801 in which silicon oxide 2802 was formed be Substrate A. Moreover, the single crystal silicon substrate of others [2804] and 2803 are the aluminium nitride layers formed in the front face of the single crystal silicon substrate 2804. Let the single crystal silicon substrate 2804 in which the aluminium nitride layer 2803 is formed be Substrate B. [0108] Silicon oxide 2802 and the aluminium nitride layer 2803 are made to counter, and Substrate A and Substrate B are made to rival in drawing 28 (b) in [of 900–1200 degrees C] an elevated-temperature vacuum or an elevated-temperature oxygen ambient atmosphere. Furthermore, in drawing 6 (c), using both polish, etching, or polish and etching of the single crystal silicon substrate 2801 in which silicon oxide 2802 was formed, it removes until it becomes desired thickness. Consequently, the thin single-crystal-silicon layer 2805 which is a SOI layer will be formed on the aluminium nitride layer 2803 and silicon oxide 2802. Immediately under the thin single-crystal-silicon layer 2805 which is a SOI layer in which an integrated circuit is formed, the silicon oxide 2802 which oxidized and was able to do the single crystal silicon substrate 2801 is, and the interface of the thin single-crystal-silicon layer 2805 and silicon oxide 2802 is kept good.

[0109] Drawing 29 is the schematic diagram of the formation equipment of an aluminium nitride layer. How to form an aluminium nitride layer on a single crystal silicon substrate is explained by the ion plating method using drawing 29 . The single crystal silicon substrate 2901 is attached in the substrate holder 2902. The inside of a vacuum housing 2903 is exhausted to the high vacuum of 0.01 or less mTorr. The temperature in a vacuum housing 2903 is raised to 300 degrees C – 400 degrees C at a heater 2904, and unnecessary gas is made to take out from the whole inside of the single crystal silicon substrate 2901, the substrate holder 2902, and a vacuum housing 2903. (Degasifying is performed.) This degasifying carries out ***** which strengthens the adhesion force of the aluminium nitride which it is going to make adhere on a single crystal silicon substrate after this.

[0110] Next, argon gas is passed from the argon gas installation tubing 2907 to a hollow cathode 2906, with the shutter 2905 closed. The power source 2908 for hollow cathodes is turned on, and hollow-cathode discharge is started. Consequently, the aluminum 2911 placed into the crucible 2910 by the electron beam 2909 is heated. The heated aluminum evaporates. The discharge current of hollow-cathode discharge is 200A, and an argon quantity of gas flow is 18SCCM(s) (18 cc/m). It is nitrogen gas N₂ It introduces from a gas inlet 2912 and a nitrogen partial pressure is adjusted. Nitrogen partial pressures are for example, 2mTorr(s).

[0111] After the pressure of the discharge from a hollow cathode and nitrogen gas is stabilized, a shutter 2905 is opened and an aluminium nitride layer is formed on the single crystal silicon substrate 2901. High frequency bias is impressed to the single crystal silicon substrate 2901 with RF generator 2913 and the adjustment vessel 2914 during formation of an aluminium nitride layer. Charge adhering to a substrate can be made to secede from a substrate by this high frequency bias, and even if the temperature of a single crystal silicon substrate is comparatively low, the aluminium nitride film which is compound film excellent in adhesion and crystallinity can be formed on a single crystal silicon substrate. The RF output at this time is 20W.

[0112] Although the manufacture approach of the aluminium nitride of this invention explained above is called the ion plating method, it is also called activated reactive evaporation (ARE law). The structure section Fig. which are other examples of this invention is shown in drawing 30 R> 0. The thin silicon

oxide whose 3001 is a SOI layer, and 3002 are silicon oxide and the single-crystal-silicon film with 3003 [thick / an aluminium nitride layer and 3004].

[0113] In drawing 30 , silicon oxide 3002 is removed in some parts 3005 in a silicon wafer, is the part and touches the single-crystal-silicon layer 3001 with a thin aluminium nitride layer. In this structure, the heat generated within thin single crystal silicon when the integrated circuit formed in the thin single-crystal-silicon layer 3001 operates escapes from the part 3005 where the thin single crystal silicon 3001 is directly in contact with the aluminium nitride layer 3003 in the thermally conductive high aluminium nitride layer 3003 at propagation and the single crystal silicon substrate 3004 which serves as a heat sink further. For this reason, in the semiconductor device of this invention shown in drawing 30 , even when an integrated circuit is working, the temperature rise of the thin single-crystal-silicon layer 3001 is suppressed.

[0114] Drawing 31 (a) – (d) and drawing 32 (a) The process sectional view of – (d) shows the manufacture approach of the semiconductor device of this invention shown in drawing 30 . In drawing 31 (a), the silicon oxide which 3101 oxidized the single crystal silicon substrate, and 3102 oxidized the single crystal silicon substrate, and was obtained, and 3103 express the resist film applied on silicon oxide, respectively.

[0115] In drawing 31 (b), the resist aperture 3104 is broken in some parts of the resist film 3103 according to a photolithography process. Then, the front face of the part which broke the resist aperture 3104 etches open alligator ***** silicon oxide by ion etching.

[0116] In drawing 31 (c), some parts of silicon oxide are etched and the front face of a single crystal silicon substrate is exposed in the part. The aluminium nitride layer 3105 is formed in the single crystal silicon substrate by which silicon oxide remains in some surface parts in drawing 31 (d). Furthermore, the silicon oxide 3106 which carried out vapor growth is made to deposit on it. Here, although the front face of the aluminium nitride layer 3105 is not flat, the front face of silicon oxide 3106 on which it was made to deposit thickly is almost flat.

[0117] In drawing 32 (a), if all the silicon oxide 3106 and the part of the aluminium nitride layer 3105 which carried out vapor growth are removed by polish or polishing, the aluminium nitride layer 3105 with a very flat front face will be formed. Here, silicon oxide 3102 and the very flat aluminium nitride layer 3105 use as Substrate C the single crystal silicon substrate 3101 formed in the front face.

[0118] In drawing 32 (b), said substrate C and the new single crystal silicon substrate 3106 (let this be Substrate D.) are prepared. The aluminium nitride layer 3105 is ***** inside and Substrate C and Substrate D are made to rival in drawing 32 (c) in [of 900–1200 degrees C] an elevated-temperature vacuum or an elevated-temperature oxygen ambient atmosphere. And the semiconductor device of this invention with the structure shown in drawing 30 is obtained by finally removing by both polish, etching, or polish and etching in drawing 32 (d) even in the thickness of a request of the single-crystal-silicon layer of the single crystal silicon substrate 3101 (substrate C) in which silicon oxide 3102 and the aluminium nitride layer 3105 were formed.

[0119] Drawing 33 is the structure section Fig. of the semiconductor device in which other examples of this invention are shown. Drawing 33 shows the structure section Fig. of some parts of a semiconductor device in which the integrated circuit was formed to the SOI wafer which has a single-crystal-silicon layer in an insulating lifter. In 3301, the single crystal silicon substrate of 100 micrometers – 1000 micrometers of thickness numbers and 3302 show the aluminium nitride layer of a 1000Å – several micrometers thickness number, and 3303 shows the silicon oxide of a 1000Å – several micrometers thickness number. 3304 shows 1000Å of thickness numbers of silicon oxide for isolation oxidized and formed in the thin single-crystal-silicon layer which suited on silicon oxide 3303. In drawing 33 , the bottom of silicon oxide 3304 touches silicon oxide 3303. P well field where 3305 is thin and which consists of the P type impurity of about [$1 \times 10^{16} \text{cm}^{-3}$] three concentration among single crystal silicon, and 3306 and 3307 show the source field and drain field which contain the N type impurity of about [$1 \times 10^{20} \text{cm}^{-3}$] three concentration among thin single-crystal-silicon layers, respectively. The gate

dielectric film which consists of 100Å of thickness numbers of silicon oxide which 3308 oxidized the thin single-crystal-silicon layer, and were formed, and 3309 show the gate which consists of the polycrystalline silicon containing a high-concentration N type impurity. The N-channel MOS transistor is formed from the gate 3309, gate dielectric film 3308, the source 3306, a drain 3307, and P wells 3305. [0120] 3310 is the middle insulator layer formed by depositing silicon oxide of 1000Å of thickness numbers. The aluminum layer to which 3311 is considering electrical installation as the source 3306, and 3312 are aluminum layers which are considering electrical installation as the drain 3307. The aluminum layer of 3311 and 3312 also serves as wiring as it is extended left-hand side and on the right-hand side of drawing 33, respectively. 3313 is passivation film which consists of a silicon nitride.

[0121] In drawing 33, the insulating materials of an insulating lifter single crystal silicon wafer (SOI wafer) are the aluminum nitride layer 3302 and silicon oxide 3303, and the SOI layer consists of the P well 3305, the source 3306, and a drain 3307. The aluminum wiring 3312 which touches the drain 3307 touches in the part of the aluminum nitride layers 3302 and 3304. When the N-channel MOS transistor operates, the heat generated with the P well 3305, the source 3306, and a drain 3307 escapes the aluminum wiring 3312 further in a thin single-crystal-silicon layer, i.e., drawing 11, to propagation and the single crystal silicon substrate 3301 which carries out ***** of the aluminum nitride layer 3302 and a heat sink from the contact part 3314 of the aluminum nitride layer 3302 and the aluminum wiring 3312. For this reason, in a semiconductor device with the structure of this invention shown in drawing 33, the heat generated in the thin single-crystal-silicon layer is closed in a thin single-crystal-silicon layer, and ** does not have *****, either and it has ***** which prevents the rise of the temperature of a thin single-crystal-silicon layer.

[0122] In addition, it is Al_xN_y although the matter which can be expressed with the chemical formula of AlN has been explained as an example as an aluminum nitride layer in the above explanation. For the value of thermal conductivity, the matter which can be expressed with a chemical formula is also Al_xN_y about the description of this invention of having explained it as it of AlN so far practically equal. It also has the matter which can be expressed with a chemical formula. Therefore, it is not only AlN but Al_xN_y to have described it as aluminum nitride in this invention. It is being able to say even if it attaches. Moreover, it changes to AlN, and even if it uses the film which consists of carbon or sapphire (aluminum 2O₃), the effective heat dissipation effectiveness can be acquired.

[0123] Moreover, in the semiconductor device which consists of the single crystal silicon on the insulator layer of this invention, even if the substrates of 2404 or 2804 shown in drawing 24, drawing 26, drawing 28, etc. are transparence insulating substrates, such as not only single crystal silicon but a quartz, and glass, they are contained in the example of this invention. In this case, since silicon oxide, the aluminum nitride layer, and the quartz are transparent, they can be used for active-matrix mold light valve equipment.

[0124] Drawing 34 shows the example which constituted light valve equipment using the semi-conductor substrate of this invention. It is the case where liquid crystal is used as electrooptic material. In drawing 34, it consists of a semi-conductor substrate 3400, an opposite substrate 3420, and a liquid crystal layer 3410 with which it filled up between these substrates. A semi-conductor substrate consists of a support substrate 3401 which consists of a transparent ingredient, an aluminum nitride layer 3402 formed on this support substrate, and silicon oxide film 3419. On the semi-conductor substrate 3400, Sw-Tr3404 and the pixel electrode 3403 which are formed in each intersection of two or more signal electrodes 3413 linked to the X driver 3414 and the Y driver 3415 which constitute the circumference circuit section, and two or more scan electrodes 3412 linked to these Y drivers and X driver, and a this signal electrode and a scan electrode are formed.

[0125] Although the up-and-down polarizing plates 3417 and 3411 are formed in drawing 34, it may dissociate and a polarizing plate may be arranged without not necessarily pasting the transparence substrate 3416 and 3401. It is constituted by X driver which constitutes the circumference circuit section, and Y driver with the semiconductor device shown by drawing 33. In drawing 34, although the

structure by which the laminating was carried out on the transparence substrate 3401 in the alumimium nitride layer 3402 was indicated in order to make an understanding easy, it cannot be overemphasized that only the lower part of for example, the circumference circuit section may form an alumimium nitride layer only for a required part.

[0126] Drawing 35 shows the structure section Fig. of the semiconductor device of this invention. The transparence insulating substrate to which 3501 changes from a quartz, glass, etc., the insulator layer of thermal conductivity, such as alumimium nitride, with 3502 [high], and 3503 show semi-conductor film, such as single crystal silicon, polycrystalline silicon, and a-Si. When the transistor and integrated circuit which were formed into the semi-conductor film 3503 operate, the heat generated in the semi-conductor film 3503 does not remain in propagation and the semi-conductor film 3503 at the insulator layers 3502, such as alumimium nitride with high thermal conductivity.

[0127] In addition, the example of drawing 35 has a transparent insulating substrate 3501, and when alumimium nitride is a thin film, since it is transparent, 3502 has an advantage applicable to the active-matrix mold display of a light transmission mold. Drawing 36 is the structure section Fig. showing other examples of the semiconductor device of this invention. 3601 is an insulating substrate with high thermal conductivity, such as alumimium nitride. 3602 shows the semi-conductor film which consists of single crystal silicon, polycrystalline silicon, a-Si, etc.

[0128] In the semiconductor device of the structure shown in this drawing 36 , when the transistor and integrated circuit which were formed into the semi-conductor film 3602 operate, the heat generated in the semi-conductor film 3602 escapes out of propagation and a semiconductor device to the insulator layers 3601, such as alumimium nitride with high thermal conductivity, and does not remain in the semi-conductor film 3602.

[0129] Drawing 37 is the structure section Fig. showing other examples of the semiconductor device of this invention. 3701 is an insulating substrate with high thermal conductivity, such as alumimium nitride. 3702 shows thin insulator layers, such as silicon oxide. 3703 shows the semi-conductor film which consists of single crystal silicon, polycrystalline silicon, a-Si, etc.

[0130] In the semiconductor device of the structure shown in this drawing 37 , when the transistor and integrated circuit which were formed into the semi-conductor film 3703 operate, the heat generated in the semi-conductor film 3703 passes the thin insulator layer 3702, escapes easily to the insulator layers 3701, such as alumimium nitride with high thermal conductivity, and does not remain in the semi-conductor film 3703.

[0131] In the structure of drawing 37 , one of the reasons an insulator layer 3702 exists is because alumimium nitride has piezoelectric, when the thermally conductive high insulating substrate 3701 is alumimium nitride. A transistor and an integrated circuit are formed into the semi-conductor film 3703, the alumimium nitride in which the current generated when they operate, and an electrical potential difference have piezoelectric is affected, and there is a possibility that the interaction of the semi-conductor film 3703 and alumimium nitride 3701 may arise. This interaction can be prevented if there is a thin insulator layer 3702.

[0132] Furthermore, another reason is that the direction which forms the semi-conductor film on silicon oxide becomes easy rather than forming the direct semi-conductor film on thermally conductive high alumimium nitride. In the above explanation, alumimium nitride was mentioned as an example of a thermally conductive high insulating material. The thermal conductivity in the ordinary temperature of this alumimium nitride is farther [than 0.014 W/cm and **K of the silicon oxide which is 2.5W/cm and **K and is an insulator layer like already described] high, and even if it compares it with 1.5 W/cm and **K of the single crystal silicon which is a semi-conductor, it is high. He can understand having the thermal conductivity excellent in alumimium nitride also from this.

[0133] Drawing 38 is the structure section Fig. showing other examples of the semiconductor device of this invention. 3805 which the insulator layer in which 3801 has a transparence insulating substrate and thermal conductivity with 3802 [high], such as alumimium nitride, and 3804 which 3803 has in the right-

and-left both ends on silicon oxide and silicon oxide 3803 have in a single-crystal-silicon layer and the center section on silicon oxide 3803 shows Poly-Si, respectively. It is possible to form a pixel Sw-Tr group in the polycrystalline silicon layer 3805, to form the driver line which operates these pixel Sw-Tr group in the single-crystal-silicon layer 3804, and to apply as an active-matrix display in the example of this invention of drawing 38, since the transparence insulating substrate 3801, alumimium nitride 3802, and silicon oxide 3803 are transparence altogether.

[0134] In this structure, even if the driver line formed into the pixel switching transistor group formed in the polycrystalline silicon layer of 3805 when there was a thermally conductive high alumimium nitride layer 3802, and the single-crystal-silicon layer 3804 operates, the heat generated there passes silicon oxide 3803, and does not stop at the alumimium nitride layer 3802 used as a heat sink at the Poly-Si layer 3805 and the single-crystal-silicon layer 3804 which are propagation and a semi-conductor layer. It is desirable for the direction [at this time, the thickness of the silicon oxide of 3803 is not so thick] to be thousands of A.

[0135] Drawing 39 (a) - (d) and drawing 40 (e) - (h) is the structure section Fig. showing the manufacture approach of the semiconductor device of this invention shown in drawing 38. The production approach of the SOI wafer by the lamination method is used for this manufacture approach. In drawing 39 R> 9 (a), it is the silicon oxide which 3901 oxidizes a single crystal silicon substrate, and 3902 oxidizes the single crystal silicon substrate 3901, and is obtained. The thickness of silicon oxide 3902 is hundreds of A - several micrometers. Let the single crystal silicon substrate 3901 in which silicon oxide 3902 was formed be Substrate A.

[0136] Moreover, it is the alumimium nitride layer by which 3904 was formed in the transparence insulating substrate and 3903 was formed in the front face of the transparence insulating substrate 3904. Let the transparence insulating substrate 3904 in which the alumimium nitride layer 3903 is formed be Substrate B. Silicon oxide 3902 and the alumimium nitride layer 3903 are made to counter, and Substrate A and Substrate B are made to rival in drawing 39 (b) in [of 900-1200 degrees C] an elevated-temperature vacuum or an elevated-temperature oxygen ambient atmosphere.

[0137] Furthermore, in drawing 39 (c), using both polish, etching, or polish and etching of the single crystal silicon substrate 3901 in which silicon oxide 3902 was formed, it removes until it becomes desired thickness. Consequently, the thin single-crystal-silicon layer 3905 which is a SOI layer will be formed on the alumimium nitride layer 3903 and silicon oxide 3902. In drawing 39 (d), a resist is applied on the thin single-crystal-silicon layer 3905 of drawing 39 (c), and according to a photolithography process, the resist of a center section is removed and it leaves a resist 3906 to right-and-left both ends.

[0138] Next, in drawing 40 (e), by dry etching, the thin single crystal silicon 3905 is removed and a resist 3906 is removed after that. Consequently, the single-crystal-silicon layer 3907 remains in the right-and-left both ends on silicon oxide 3902. In drawing 40 (f), after depositing the Poly-Si polycrystalline silicon 3908, a resist is applied and it leaves a resist 3909 to a center section according to a photolithography process. Next, in drawing 40 (g), by dry etching, Poly-Si3908 is etched and it leaves Poly-Si3910 to the bottom of the resist 3909 of a center section in the shape of an island.

[0139] In drawing 40 (h), when a resist 3909 is removed, the island-like polycrystalline silicon 3910 will be formed in the right-and-left both ends of the upper part of silicon oxide 3902 as well as the island-like single crystal silicon 3907 and a center section, and the structure of the semiconductor device of this invention shown in drawing 38 will be done.

[0140] The structure section Fig. which are other examples of this invention is shown in drawing 41. 4101 is the semi-conductor film and 4102 is silicon oxide and a transparence insulating substrate with 4103 [thick / an alumimium nitride layer and 4104]. In drawing 41, silicon oxide 4102 is removed in some parts 4105, it is the part and the alumimium nitride layer touches the semi-conductor film 4101. In this structure, the heat generated within the thin semi-conductor film when the integrated circuit formed in the semi-conductor film 4101 operates is transmitted from the part 4105 where the thin

semi-conductor film 4101 is directly in contact with the aluminum nitride layer 4103 to the thermally conductive high aluminum nitride layer 4103. For this reason, in the semiconductor device of this invention shown in drawing 41, even when an integrated circuit is working, the temperature rise of the thin semi-conductor film 4101 is suppressed.

[0141] Drawing 42 is the structure section Fig. of the semiconductor device in which other examples of this invention are shown. Drawing 42 shows the structure section Fig. of some parts of the semiconductor device with which the integrated circuit was formed on the Poly-Si film the semi-conductor film of an insulating layer, and here. In 4201, insulating substrates, such as glass and a quartz, and 4202 show the aluminum nitride layer of a 1000Å – several micrometers thickness number, and 4203 shows the silicon oxide of a 1000Å – several micrometers thickness number. P well field where 4204 is thin and which consists of the P type impurity of about $[1 \times 10^{16} \text{cm}^{-3}]$ three concentration among Poly-Si, and 4205 and 4206 show the source field and drain field which contain the N type impurity of about $[1 \times 10^{20} \text{cm}^{-3}]$ three concentration among thin Poly-Si layers, respectively.

[0142] When the gate dielectric film which consists of the silicon oxide which 4207 oxidized the thin Poly-Si film and was formed, and 4208 form gate oxide 4207, the silicon oxide formed in coincidence at the side attachment wall of the Poly-Si film and 4209 show the gate which consists of Poly-Si containing a high-concentration N type impurity. The N-channel MOS transistor is formed from the gate 4209, gate dielectric film 4207, the source 4205, a drain 4206, and P wells 4204. 4210 is the middle insulator layer formed by depositing silicon oxide of 1000Å of thickness numbers. The aluminum layer to which 4211 is considering electrical installation as the source 4206, and 4212 are aluminum layers which are considering electrical installation as the drain 4206. The aluminum layer of 4212 also serves as wiring as it is extended on the right-hand side of drawing 42, as the aluminum layer of 4211 is extended before and after drawing 42. 4213 is passivation film which consists of a silicon nitride.

[0143] In drawing 42, the aluminum wiring 4212 which touches the drain 4206 touches in the part of the aluminum nitride layers 4202 and 4214. When the N-channel MOS transistor operates, by the thin Poly-Si film, i.e., drawing 42, the heat generated with the P well 4204, the source 4205, and a drain 4206 is transmitted in the aluminum wiring 4212, and escapes from the contact part 4214 of the aluminum nitride layer 4202 and the aluminum wiring 4212 to the aluminum nitride layer 4202 further. For this reason, in a semiconductor device with the structure of this invention shown in drawing 42, the heat generated in the thin polycrystalline silicon membrane layer is closed in a thin polycrystalline silicon membrane layer, and ** does not have *****, either and it has ***** which prevents the rise of the temperature of a thin polycrystalline silicon membrane layer.

[0144] Next, the example of this invention to a technical problem (4) is explained. That is, the structure which misses the heat generated when the integrated circuit formed of Tr made detailed very much by the single crystal silicon substrate operates is considered. Drawing 43, drawing 45, and drawing 46 show other examples of this invention. In these three drawings, the same number was shaken at the part of the same name for simplification of explanation.

[0145] The single crystal silicon substrate which consists of the P type impurity of concentration with thin 4301 in drawing 43, P well to which 4302 changes from P type high impurity concentration with a little high concentration from a single crystal silicon substrate, the source with which 4303 and 4304 consist of a high-concentration N type impurity And a drain, the gate where it consists of Poly-Si in which the impurity of high concentration $[4305 / 4306 / \text{gate dielectric film and}]$ is contained, N well which consists of the N type impurity of concentration with thin 4307, the source with which 4308 and 4309 consist of a high-concentration P type impurity And a drain and 4310 express the gate which consists of Poly-Si in which the high-concentration impurity is contained.

[0146] The silicon oxide for isolation with thick 4311, the middle insulator layer which consists of the silicon oxide which was made to deposit 4312 and was formed, and 4313 are metal aluminum. 4314 shows the thermally conductive high passivation film. This passivation film is insulation, for example, uses aluminum nitride.

[0147] It sets to drawing 43 and is N-channel MOS. Tr is formed from the P well 4302, the source 4303, a drain 4304, gate dielectric film 4305, and the gate 4306. Moreover, P-channel MOS Tr is formed from the N well 4307, the source 4308, a drain 4309, gate dielectric film 4305, and the gate 4310.

[0148] N-channel MOS Tr and P-channel MOS In order that the heat generated when Tr operates not only escapes in the single-crystal-silicon layer 4301 of a substrate, but may escape on the thermally conductive high passivation film 4314 in the upper part of Tr, the dimension of Tr is [even if] very small, and as for the temperature in Tr, in many, the flowing current does not go up.

[0149] The place where the example of this invention of drawing 44 differs from the example of this invention of drawing 43 , drawing 44 is only a point which is using the SOI wafer. That is, in drawing 44 , 4401 is a single crystal silicon substrate and 4402 is single-crystal-silicon silicon oxide. A thin single-crystal-silicon layer is on this silicon oxide 4402, and they are N-channel MOS Tr and P-channel MOS there. Tr is formed. That is, the SOI layer consists of the P well 4302 of N-channel MOS Tr, the source 4303, a drain 4304 and the N well 4307 of P-channel MOS Tr, the source 4308, and a drain 4309.

[0150] In a SOI wafer, it is hard to be transmitted to the single crystal silicon substrate 4401 which has the heat generated when Tr operates under silicon oxide 4402. However, in drawing 44 , since the passivation film 4314 on Tr is the thermally conductive high matter, in the heat generated within Tr, the temperature of propagation and a SOI layer cannot rise easily on the passivation film 4314 from metal aluminum 4313.

[0151] Moreover, drawing 45 is the example of this invention which is using SOI as well as drawing 44 . As for 4501, a transparence insulating substrate and 4502 are layers with high thermal conductivity. The structure above silicon oxide 4402 is the same as drawing 44 . N-channel MOS The temperature of propagation and Tr field does not rise in the heat-conduction layer 4502 under the thermally conductive high passivation film 4314 whose heat generated in the field of Tr and P-channel MOS Tr is on them Tr, and silicon oxide 4402.

[0152] In the case of the example of drawing 45 , the thermal conductivity of the transparence insulating substrate 4501 is bad, and existence of the silicon oxidation membrane layer 4402 and the heat-conduction layer 4502 between the transparence insulating substrates 4501 has effectiveness, when missing the heat generated within Tr to the down side. In the example of drawing 45 , the thermally conductive passivation film 4314 may be an insulating material, and the heat-conduction layer 4502 may be a metal. Since the passivation film 4314 is in contact with metal aluminum 4313, you must be an insulating material. Moreover, it is because very high thermal conductivity will be obtained if the heat-conduction layer 4502 uses a metal.

[0153] Next, the example of this invention to a technical problem (5) is explained below. Drawing 46 is the typical sectional view showing one example of the semi-conductor substrate of this invention. It has the silicon single crystal thin film device formative layer 4601 through the adhesives layer 4603 on the insulating support substrate 4604, and has an insulating layer 4602 on the silicon single crystal thin film device formative layer 4601, and the heat-conduction layer 4605 which consists of the ingredient excellent in thermal conductivity is formed on the insulating layer 4602.

[0154] Here, the insulating support substrate 4604 is good also as a transparency ingredient which consists of glass, a quartz, etc. Moreover, the layer 4605 which consists of the ingredient excellent in thermal conductivity is formed with a metal or resin. The layer 4605 which consists of the ingredient which was furthermore excellent in thermal conductivity may be formed with a transparency ingredient.

[0155] Drawing 47 is the typical sectional view showing other examples of the semi-conductor substrate of this invention. A different point from the example shown in drawing 46 is a point that the heat-conduction layer 4701 is formed between the insulating support substrate 4604 and the adhesives layer 4603. Drawing 48 R> 8 is the typical sectional view showing other examples of the semi-conductor substrate of this invention.

[0156] A different point from the example shown in drawing 46 is a point which the location of the heat-conduction layer 4801 and the adhesives layer 4603 has reversed. If it does in this way, since the

distance of the silicon single crystal thin film device formative layer 4601 and the heat-conduction layer 4801 will become near compared with the example shown in drawing 46 , heat has structure which is easy to escape in the heat-conduction layer 4801.

[0157] Drawing 49 is the typical sectional view showing other examples of the semi-conductor substrate of this invention. It is characterized by for the heat-conduction layer 4605 being on an insulating layer 4602, for the heat-conduction layer 4801 being between the adhesives layer 4603 and the silicon single crystal thin film device formative layer 4601, and a heat-conduction layer being in two places. If it does in this way, the heat generated in the silicon single crystal thin film device formative layer 4601 has the structure where heat cannot remain in the silicon single crystal thin film device formative layer 4601 easily, compared with the example shown in drawing 46 , in order to escape in the heat-conduction layers 4801 and 4605 of two upper and lower sides.

[0158] In the example of drawing 46 of this invention - drawing 49 , it is characterized by the heat-conduction layers 4605 and 4901 being alumimium nitride of an insulating material. Since it is transparent, alumimium nitride is convenient when using as a semi-conductor substrate for light valves. Furthermore, the heat-conduction layers 4605 on an insulating material 4602 may be metals, such as very high aluminum of thermal conductivity.

[0159] In the example of drawing 49 , the heat-conduction layers 4605 are metals, such as aluminum, and its heat-conduction layer of 4801 is still more desirable in it being the insulating material of alumimium nitride. That is, it is better for this heat-conduction layer 4801 to be an insulating material, in order for the heat-conduction layer of 4801 to touch the metal wiring layer formed in the silicon single crystal thin film device formative layer 4601 and to prevent electric short-circuit.

[0160] In the example of drawing 47 of this invention - drawing 49 , the insulating support substrate 4604 is good like the example of drawing 46 also as a transparency ingredient which consists of glass, a quartz, etc.

[0161] According to the example of drawing 46 of this invention - drawing 49 , it sticks to the insulating layer 4602 which touches the silicon single crystal thin film device formative layer 4601. Since it sticks to the adhesives layer 4603 which the heat-conduction layer 4605 is formed or touches the silicon single crystal thin film device formative layer 4601 and the heat-conduction layer 4701 or 4801 is formed When an MOS mold integrated circuit is formed in the silicon single crystal thin film device formative layer 4601, with the electrical potential difference which could miss promptly the heat generated from the MOS mold integrated circuit, and was impressed to the drain field of heat and the MOS mold Tr The trap of the majority carrier will be deeply carried out to the gate dielectric film of the MOS mold Tr, consequently the degradation phenomenon of causing a threshold rise of the MOS mold Tr can be inhibited.

[0162] Drawing 50 is the typical sectional view of the light valve equipment by one example of the semi-conductor substrate for light valves of this invention. It has the silicon single crystal thin film device formative layer 5001 through the adhesives layer 5003 on the insulating support substrate 5004, and it has an insulating layer 5002 on the silicon single crystal thin film device formative layer 5001, and it has the pixel field 5006 in which Sw-Tr was formed for every drive circuit formation field 5010 where the drive circuit was formed in the silicon single crystal thin film device formative layer 5001, and pixel, and the heat-conduction layer 5005 which consists of the ingredient excellent in thermal conductivity is formed on the insulating layer 5002 on the drive circuit formation field 5010. Furthermore, on the insulating layer 5002 on the pixel field 5030, although not illustrated, the orientation film is formed, and the opposite substrate 5021 in which the counterelectrode which is not illustrated since it is easy, and the orientation film were formed on the front face pastes up with a seal 5022, and takes the structure which pinches the liquid crystal layer 5023 in the gap of the orientation film on an insulating layer 5002, and the orientation film on the opposite substrate 5021.

[0163] In the light valve equipment shown in drawing 50 , the heat-conduction layer 5005 is formed only on the insulating layer 5002 on the drive circuit formation field 5010. When Sw-Tr in which this was

formed for every pixel in the pixel field 5030 to what the drive circuit is always operating and tends to generate heat in does not always operate, for example, a TV signal performs a screen display, it is because, as for each Sw-Tr, only about 30 mses will be in ON condition in 1 second.

[0164] Moreover, in the light valve equipment shown in drawing 50 , the insulating support substrate 5004, the adhesives layer 5003, and the opposite substrate 5021 are formed with a transparency ingredient, and form the light valve equipment of a transparency mold. On the other hand, the heat-conduction layer 5005 does not need to be a transparency ingredient, and is formed with a metal or resin.

[0165] Drawing 51 is the typical sectional view of the light valve equipment by other examples of the semi-conductor substrate for light valves of this invention. A different point from the example shown in drawing 50 is a point that the heat-conduction layer 5101 is formed between the insulating support substrate 5004 and the adhesives layer 5003. In this case, since the heat-conduction layer 5101 is formed also in the inferior surface of tongue of the pixel field 5030, in order to form the light valve equipment of a transparency mold, the heat-conduction layer 5101 needs to be formed with a transparency ingredient. In addition, although not illustrated, the layer which consists of the ingredient which was further excellent in thermal conductivity depending on the case may be formed on the insulating layer 5002 on the drive circuit formation field 5010. The sign same about other components as drawing 50 is described, and it changes to explanation.

[0166] Drawing 52 is the typical sectional view of the light valve equipment by other examples of the semi-conductor substrate for light valves of this invention. 5201 is aluminium nitride excellent in the thermal conductivity between the adhesives layer 5003 and the silicon single crystal thin film device formative layer 5001. 5202 is aluminum excellent in the thermal conductivity on the insulating layer 5002 on the drive circuit formation field 5010. Although it serves to miss the heat generated in the drive circuit formation field 5010 which aluminum 5202 makes a hole in some parts 5203 of an insulating layer 5002, and heat generates especially in the single crystal thin film device formative layer 5001 through an insulating layer 5002, since it is in contact with the grounding terminal formed in the silicon single crystal thin film device formative layer 5001, it has the work which misses heat efficiently also from here. It is because the heat led to the grounding terminal with metal wiring escapes to aluminum 5202 easily. If the aluminum on an insulating layer 5002 is electrically set as a gland and it is moreover made stability, the electric effect of the silicon single crystal thin film device formative layer 5001 can be prevented, and stable actuation of a drive circuit will be attained.

[0167] According to the example shown in the example of drawing 50 - drawing 52 , as the example of drawing 46 - drawing 49 explained It sticks to the insulating layer 4602 which touches the silicon single crystal thin film device formative layer 4601. Since it sticks to the adhesives layer 4603 which the heat-conduction layer 4605 is formed or touches the silicon single crystal thin film device formative layer 4601 and the heat-conduction layers 4701 and 4801 are formed When the drive circuit which changes from an MOS mold integrated circuit to the silicon single crystal thin film device formative layer 4601 is formed With the electrical potential difference which could miss promptly the heat generated from the drive circuit, and was impressed to the drain field of heat and a MOS transistor The trap of the majority carrier will be deeply carried out to the gate dielectric film of a MOS transistor. Consequently, the light valve equipment with which the degradation phenomenon of causing the threshold rise of a MOS transistor was inhibited and which formed a drive circuit and Sw-Tr for every pixel by being made from a silicon single crystal can be formed.

[0168]

[Effect of the Invention] As explained to the detail above, the semiconductor device of this invention has the outstanding property shown below.

(1) In the semiconductor device for light valve substrates of this invention in which the drive circuit section which changes from the complementary MOS integrated circuit to the thin single-crystal-silicon layer on the electric insulation film at least, and a pixel Sw-Tr group are formed, it has the outstanding

property with very little [there is little fluctuation of V_t of pixel Sw-Tr which the high voltage joins with time, and / moreover] leakage current by light.

[0169] (2) By forming on the single crystal silicon of the field which whose frequency of operation is [the semiconductor device of this invention] high, and does not have the electric insulation film in the high circuit of power consumption The heat generated in the circuit can be made easy to miss, and frequency of operation is low, by [with little power consumption] forming the circuit which moreover needs a high speed on the thin single crystal silicon on the electric insulation film, the reliable engine performance was stabilized and a high-speed semiconductor device can be obtained.

[0170] Moreover, when the single-crystal-silicon layer which removes the single-crystal-silicon layer which remains in the bottom of the insulator layer formed into single crystal silicon, and is on the insulator layer is formed in the shape of an island and the insulator layer is silicon oxide, in the field in which the single crystal silicon island is not formed by the shape of silicon oxide, a single crystal silicon substrate crosses up and down, and a transparent field is obtained optically.

[0171] Consequently, if a transparence substrate and a sealant enclose liquid crystal with the bottom of silicon oxide and a pixel Sw-Tr group is formed in the single-crystal-silicon layer on silicon oxide, it also has the advantage which can obtain light valve substrate equipment mass in small area.

(3) Moreover, when the insulating material under semi-conductor film, such as thin single crystal silicon, Poly-Si, and a-Si, consists of one layer of very high alumimium nitride layers of thermal conductivity, and two or more layers which contain an alumimium nitride layer at least The heat generated by actuation of the integrated circuit formed into semi-conductor film, such as thin single crystal silicon, Poly-Si, and a-Si, escapes in an alumimium nitride layer. Consequently, it has the outstanding advantage which can offer a stable and reliable semiconductor device, without the temperature in the thin semi-conductor film rising.

[0172] (4) Moreover, a single crystal silicon substrate Or by forming the passivation film which is a thermally conductive high insulating material in the upper parts, such as Tr formed into semi-conductor film, such as thin single crystal silicon of an insulating lifter, Poly-Si, and a-Si, diode, and an integrated circuit It has the outstanding advantage which can offer a stable and reliable semiconductor device, without the heat generated in a single crystal silicon substrate or the semi-conductor film of an insulating lifter escaping in the passivation film, consequently the temperature of the semi-conductor film of a single crystal silicon substrate or an insulating lifter rising.

[0173] (5) According to the semi-conductor substrate of this invention which has the silicon single crystal thin film device formative layer through a binder layer on an insulating substrate, and furthermore has an insulating layer on said silicon single crystal thin film device formative layer, and the semi-conductor substrate for light valves Since the heat generated from the MOS mold integrated circuit formed in the silicon single crystal thin film device formative layer by forming the heat-conduction layer in contact with the insulating-layer top or the adhesives layer can be missed promptly, The light valve equipment which controlled the threshold rise of a MOS transistor and formed a drive circuit and Sw-Tr for every pixel also by prolonged actuation by being made from an MOS mold integrated circuit and a silicon single crystal excellent in dependability can be formed.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the structure section Fig. of the semiconductor device for light valve substrates of this invention.

[Drawing 2] It is cross-section structural drawing of a SOI wafer.

[Drawing 3] (a) – (d) is the process sectional view showing the manufacture approach of the conventional semiconductor device.

[Drawing 4] It is the sectional view of the conventional semiconductor device.

[Drawing 5] It is the sectional view of the MOS transistor formed in the single-crystal-silicon layer.

[Drawing 6] It is the sectional view of the MOS transistor formed in the single-crystal-silicon layer on a quartz substrate.

[Drawing 7] It is the sectional view of the MOS transistor formed in the single-crystal-silicon layer on silicon oxide.

[Drawing 8] It is the sectional view of the MOS transistor formed in the single-crystal-silicon layer of an electric insulation lifter.

[Drawing 9] It is the typical sectional view showing the conventional semi-conductor substrate.

[Drawing 10] It is the sectional view of the MOS transistor of the usual structure formed in the single-crystal-silicon layer of an electric insulation lifter.

[Drawing 11] VT at the time of high-voltage actuation of the MOS transistor formed in the single-crystal-silicon layer of an electric insulation lifter It is the graph which shows aging.

[Drawing 12] It is the sectional view of the MOS transistor of the LDD structure formed in the single-crystal-silicon layer of an electric insulation lifter.

[Drawing 13] VT at the time of high-voltage actuation of the MOS transistor of the usual structure formed in the single-crystal-silicon layer of an electric insulation lifter, and LDD structure It is the graph which showed gate length for aging as a parameter.

[Drawing 14] It is the perspective view showing the configuration of the semiconductor device for light valve substrates.

[Drawing 15] It is the structure section Fig. of the MOS transistor formed in the single-crystal-silicon layer of the electric insulation lifter at the time of an optical exposure.

[Drawing 16] It is the top view of the MOS transistor formed in the single-crystal-silicon layer of an electric insulation lifter.

[Drawing 17] It is the top view of a pixel switching transistor and the MOS transistor of the drive circuit section in the semiconductor device for light valve substrates of this invention.

[Drawing 18] It is cross-section structural drawing of the semiconductor device of this invention.

[Drawing 19] It is cross-section structural drawing of the semiconductor device of this invention.

[Drawing 20] It is cross-section structural drawing of the semiconductor device of this invention.

[Drawing 21] It is cross-section structural drawing of the semiconductor device of this invention.

[Drawing 22] It is cross-section structural drawing of the semiconductor device of this invention.

[Drawing 23] It is the cross section which shows an example of the manufacture approach of the semiconductor device of this invention.

[Drawing 24] It is the sectional view of the semiconductor device of this invention.

[Drawing 25] It is the sectional view of the semiconductor device of this invention.

[Drawing 26] It is the sectional view of the semiconductor device of this invention.

[Drawing 27] It is the sectional view of the semiconductor device of this invention.

[Drawing 28] (a) – (c) is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 29] It is the schematic diagram of the equipment for forming aluminium nitride.

[Drawing 30] It is the sectional view of the semiconductor device of this invention.

[Drawing 31] (a) – (d) is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 32] (a) – (d) is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 33] It is the sectional view of the semiconductor device of this invention.

[Drawing 34] Light valve equipment using the semi-conductor substrate of this invention.

[Drawing 35] It is the sectional view of the semiconductor device of this invention.

[Drawing 36] It is the sectional view of the semiconductor device of this invention.

[Drawing 37] It is the sectional view of the semiconductor device of this invention.

[Drawing 38] It is the sectional view of the semiconductor device of this invention.

[Drawing 39] (a) – (d) is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 40] (e) – (h) is the process sectional view showing the manufacture approach of the semiconductor device of this invention.

[Drawing 41] It is the sectional view of the semiconductor device of this invention.

[Drawing 42] It is the sectional view of the semiconductor device of this invention.

[Drawing 43] It is the sectional view of the semiconductor device of this invention.

[Drawing 44] It is the sectional view of the semiconductor device of this invention.

[Drawing 45] It is the sectional view of the semiconductor device of this invention.

[Drawing 46] It is the typical sectional view showing one example of the semi-conductor substrate of this invention.

[Drawing 47] It is the typical sectional view showing other examples of the semi-conductor substrate of this invention.

[Drawing 48] It is the sectional view of the semiconductor device of this invention.

[Drawing 49] It is the sectional view of the semiconductor device of this invention.

[Drawing 50] It is the typical sectional view of the light valve equipment by one example of the semi-conductor substrate for light valves of this invention.

[Drawing 51] It is the typical sectional view of the light valve equipment by other examples of the semi-conductor substrate for light valves of this invention.

[Drawing 52] It is the typical sectional view of the light valve equipment by other examples of the semi-conductor substrate for light valves of this invention.

[Description of Notations]

104 Liquid Crystal

105, 31, 41 Substrate silicon oxide

106, 22, 32 Semi-conductor single-crystal-silicon layer

111 Pixel Electrode

112 Pixel Switching Transistor

113 = ****

114 116 Orientation film

117 Drive Circuit Section MOS Transistor

1801, 1901, 2201 Single crystal silicon substrate

1802, 1902, 2202 Silicon oxide

1803, 1903, 2203 Single-crystal-silicon layer on silicon oxide

1904 1906 Circuit formed on the single crystal silicon substrate

1905 [] Circuit Formed in Single-Crystal-Silicon Layer on Silicon Oxide
2222 [] Adhesives
2223 [] Transparence Substrate
2224 [] Liquid Crystal Layer
2225 [] Sealant
2226 [] Opposite Transparence Substrate
2404, 2705, 2804 Single crystal silicon substrate
2402, 2703, 2802 Silicon oxide
2403, 2702, 2704, 2803, 3302 Alumimium nitride
2401, 2701, 2805 Thin single crystal silicon on an insulator layer
3311 3304 Metal wiring
3501 3801 Transparence insulating substrate
3601 3701 High temperature conductivity insulating substrate
3502 3802 Alumimium nitride
3803 3902 Silicon oxide
3503, 3602, 3702 Semi-conductor film
4211 4212 Metal wiring
4601 Silicon Single Crystal Thin Film Device Formative Layer
4602 Insulating Layer
4603 Adhesives Layer
4604 Insulating Support Substrate
4605 Heat-Conduction Layer
5021 Opposite Substrate
5022 Seal
5023 Liquid Crystal Layer
5010 Drive Circuit Formation Field
5030 Pixel Field

[Translation done.]